



# AK4490

## Premium 32-Bit 2ch DAC

### 1. 概 要

AK4490は、VELVET SOUND™テクノロジーを採用した新世代 32-bit 2ch Premium DACです。新開発の歪低減技術により業界最高水準の低歪特性を実現し、新規搭載の OSR-Doubler 技術により広い信号帯域・低帯域外ノイズ特性と低消費電力を両立しました。また、5種類のサウンドカラー(32-bit Digital Filter)を内蔵しているため、様々なアプリケーションで柔軟かつ容易に音質作りが可能です。デジタル入力には最大 768kHzのPCM入力と 11.2MHzのDSD入力に対応し、ネットワークオーディオ、USB-DAC、カーオーディオシステム等で普及の進むハイレゾリューション音源の再生に最適です。

アプリケーション：AVレシーバー、CD/SACDプレイヤー、ネットワークオーディオ、USB DAC、USBヘッドフォン、Sound Plate/Bar、カーオーディオ、車載用別体アンプ、計測器、制御システム、Public Audio(PA)、Smart Cellular Phones、IC-Recorder、Bluetooth Headphone、HD Audio/Voice Conference

### 2. 特 長

- 256倍オーバーサンプリング
- サンプリングレート: 30kHz ~ 768kHz
- 32ビット8倍デジタルフィルタ
  - Ripple:  $\pm 0.005$ dB, Attenuation: 100dB
  - ショートディレイシャープロールオフ, GD=6.25/fs
  - ショートディレイスローロールオフ, GD=5.3/fs
  - シャープロールオフ
  - スローロールオフ
  - スーパースローロールオフ
- 強ジッタ耐力
- 低歪差動出力
- 2.8MHz, 5.6MHz, 11.2MHz DSD入力対応
  - Filter (fc=50kHz, fc=150kHz, 2.8MHz mode)
- 32, 44.1, 48kHz対応デジタルディエンファシス内蔵
- ソフトミュート
- デジタルATT(255 levels and 0.5dB step)
- Mono Mode
- 外部デジタルフィルタ インタフェース
- THD+N: -112dB
- DR, S/N: 120dB (Mono mode 時 123dB)
- オーディオI/Fフォーマット: 24/32 ビット前詰め, 16/20/24/32 ビット後詰め, I<sup>2</sup>S, DSD
- マスタクロック
  - 30kHz ~ 32kHz: 1152fs
  - 30kHz ~ 54kHz: 512fs or 768fs
  - 30kHz ~ 108kHz: 256fs or 384fs
  - 108kHz ~ 216kHz: 128fs or 192fs
  - ~ 384kHz: 64fs or 128fs
  - ~ 768kHz: 64fs
- 電源電圧: DVDD=AVDD=3.0 ~ 3.6V, VDD1/2=4.75 ~ 7.2V
- デジタル入力レベル: CMOS
- パッケージ: 48ピンLQFP

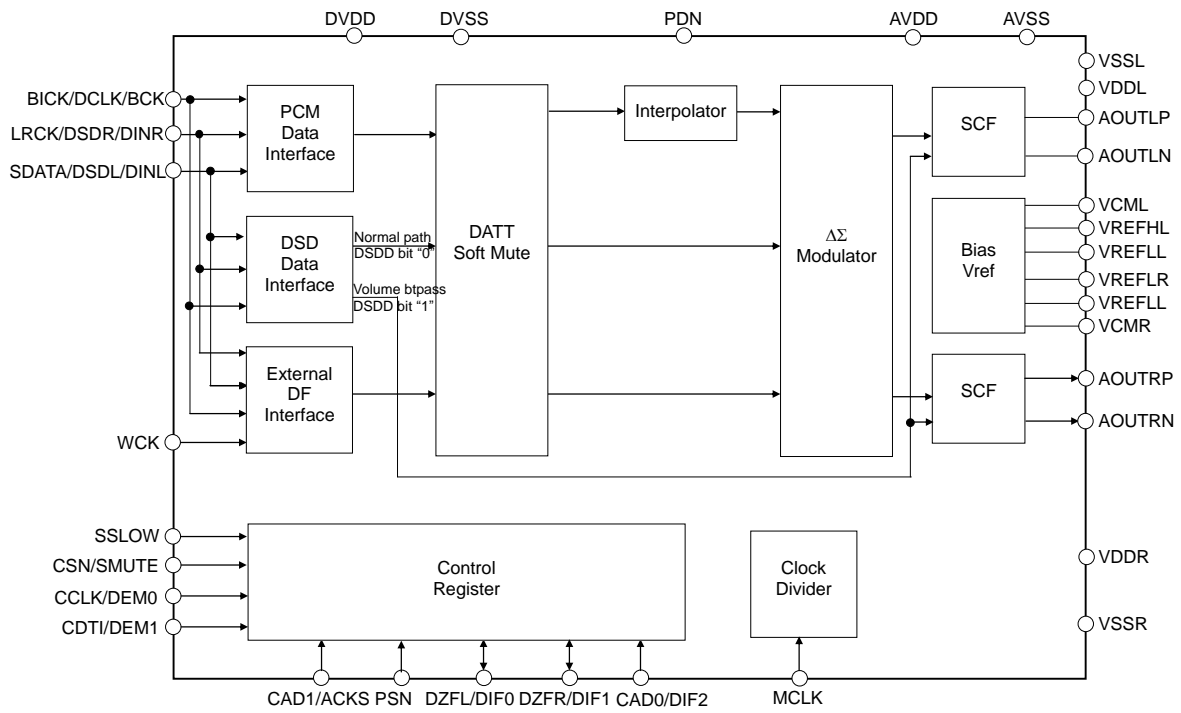


<b>3. 目 次</b>
---------------

1. 概 要 .....	1
2. 特 長 .....	1
3. 目 次 .....	2
4. ブロック図と機能説明 .....	4
5. ピン配置と機能説明 .....	5
■ オーダリングガイド .....	5
■ ピン配置 .....	5
■ 機能説明 .....	6
■ 使用しないピンの処理について .....	8
6. 絶対最大定格 .....	9
7. 推奨動作条件 .....	9
8. 電気的特性 .....	10
■ アナログ特性 .....	10
■ シャープローパス・フィルタ特性(fs = 44.1kHz) .....	11
■ シャープローパス・フィルタ特性(fs = 96kHz) .....	11
■ シャープローパス・フィルタ特性(fs = 192kHz) .....	11
■ ショートディレイ・シャープローパスフィルタ特性 (fs = 44.1kHz) .....	13
■ ショートディレイ・シャープローパスフィルタ特性 (fs = 96kHz) .....	13
■ ショートディレイ・シャープローパスフィルタ特性 (fs = 192kHz) .....	13
■ スローローパス・フィルタ特性(fs = 44.1kHz) .....	15
■ スローローパス・フィルタ特性(fs = 96kHz) .....	15
■ スローローパス・フィルタ特性(fs = 192kHz) .....	15
■ ショートディレイ・スローローパスフィルタ特性 (fs = 44.1kHz) .....	17
■ ショートディレイ・スローローパスフィルタ特性 (fs = 96kHz) .....	17
■ ショートディレイ・スローローパスフィルタ特性 (fs = 192Hz) .....	17
■ DSDモード特性 .....	19
■ DC特性 .....	19
■ スイッチング特性 .....	20
■ タイミング波形 .....	22
9. 機能説明 .....	27
■ D/A変換モード .....	27
■ システムクロック .....	27
■ オーディオインタフェースフォーマット .....	34
■ D/A変換モード切り替えタイミング .....	39
■ ディエンファシスフィルタ .....	40
■ 出力ボリューム (PCM, DSD) .....	40
■ ゼロ検出機能 (PCM, DSD) .....	41
■ モノラル出力機能(PCM, DSD, Ex DF I/F) .....	41
■ 音質調整機能(PCM, DSD, Ex DF I/F) .....	41
■ ソフトミュート機能 (PCM, DSD) .....	42
■ システムリセット .....	43
■ パワーON/OFF タイミング .....	44
■ リセット機能 .....	45
■ 同期化機能 .....	47
■ レジスタコントロールインタフェース .....	49
■ レジスタマップ .....	54
■ 詳細説明 .....	54
10. 外部接続回路例 .....	60

11. パッケージ .....	64
■ 外形寸法図 .....	64
■ 材質・メッキ仕様 .....	64
■ マーキング .....	65
12. 改訂履歴 .....	66
重要な注意事項 .....	68

**4. ブロック図と機能説明**



Block Diagram

**5. ピン配置と機能説明**

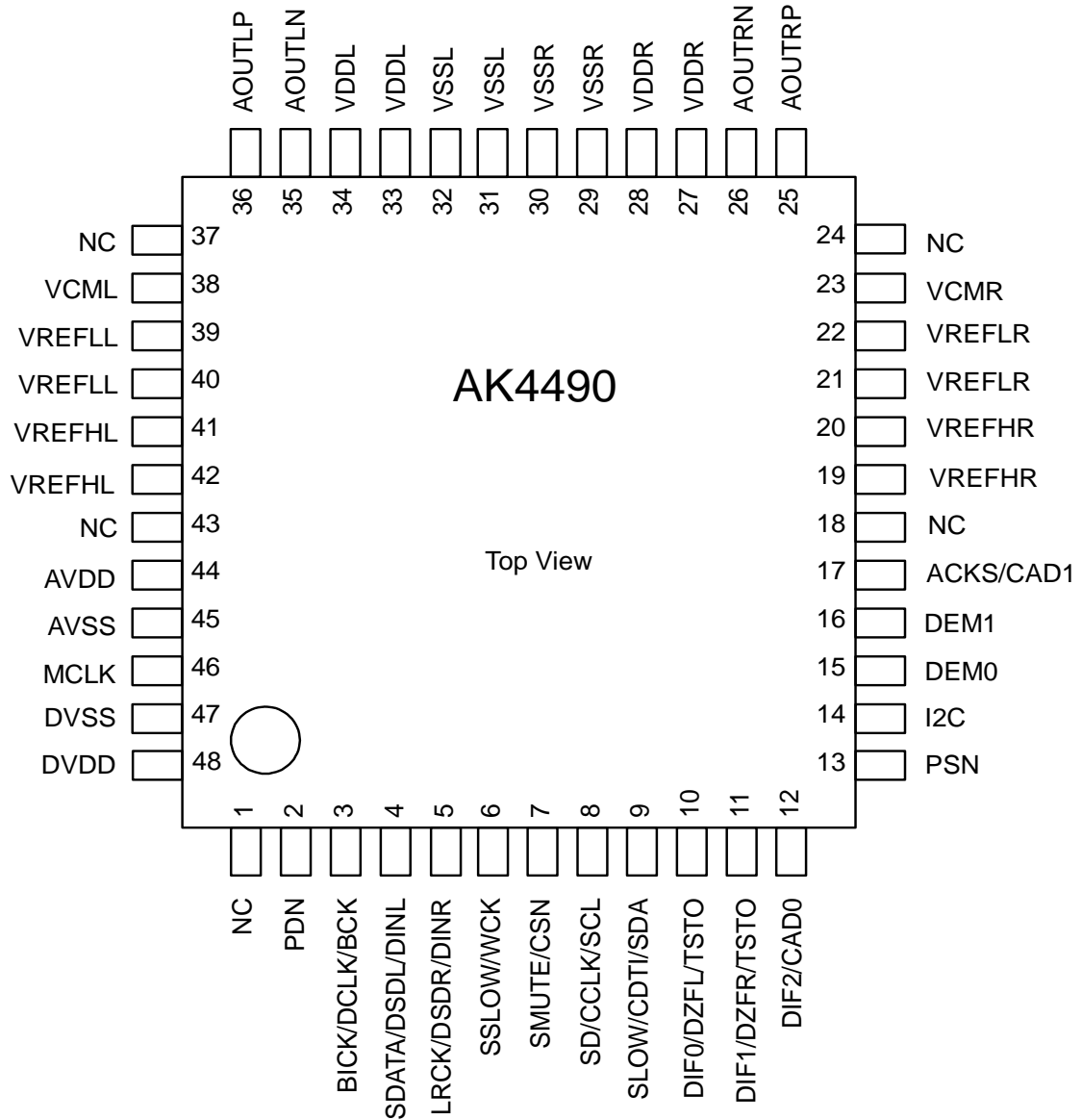
■ オーダリングガイド

AK4490EQ  
AKD4490

-40 ~ +85°C  
AK4490評価用ボード

48pin LQFP (0.5mm pitch)

■ ピン配置



## ■ 機能説明

No.	Pin Name	I/O	Function
1	NC	-	No internal bonding. Connect to GND.
2	PDN	I	Power-Down Mode Pin When at “L”, the AK4490 is in power-down mode and is held in reset. The AK4490 must always be reset upon power-up.
3	BICK	I	Audio Serial Data Clock Pin in PCM Mode
	DCLK	I	DSD Clock Pin in DSD Mode
	BCK	I	Audio Serial Data Clock Pin
4	SDATA	I	Audio Serial Data Input Pin in PCM Mode
	DSDL	I	DSD Lch Data Input Pin in DSD Mode
	DINL	I	Lch Audio Serial Data Input Pin
5	LRCK	I	L/R Clock Pin in PCM Mode
	DSDR	I	DSD Rch Data Input Pin in DSD Mode in Serial Control Mode
	DINR	I	Rch Audio Serial Data Input Pin in Serial Control Mode
6	SSLOW	I	Digital filter setting in Parallel Control Mode
	WCK	I	Word Clock input pin in Serial Control Mode
7	SMUTE	I	Soft Mute Pin in Parallel Control Mode When this pin is changed to “H”, soft mute cycle is initiated. When returning “L”, the output mute releases.
	CSN	I	Chip Select Pin in Serial Control Mode, I2C= “L”
8	SD	I	Digital filter setting in Parallel Control Mode
	CCLK	I	Control Data Clock Pin in Serial Control Mode, I2C= “L”
	SCL	I	Control Data Clock Pin in Serial Control Mode, I2C= “H”
9	SLOW	I	Digital filter setting in Parallel Control Mode
	CDTI	I	Control Data Input Pin in Serial Control Mode, I2C= “L”
	SDA	I/O	Control Data Clock Pin in Serial Control Mode, I2C= “H”
10	DIF0	I	Digital Input Format 0 Pin in PCM Mode
	DZFL	O	Lch Zero Input Detect Pin in Serial Control Mode
11	DIF1	I	Digital Input Format 1 Pin in PCM Mode
	DZFR	O	Rch Zero Input Detect Pin in Serial Control Mode
12	DIF2	I	Digital Input Format 2 Pin in PCM Mode
	CAD0	I	Chip Address 0 Pin in Serial Control Mode
13	PSN	I	Parallel or Serial Select Pin (Internal pull-up pin) “L”: Serial Control Mode, “H”: Parallel Control Mode
14	I2C	I	I2C mode select pin in Serial mode (Internal pull-down pin)
15	DEM0	I	De-emphasis Enable 0 Pin in Parallel Control Mode (Internal pull-up pin)

Note: All input pins except internal pull-up/down pins must not be left floating.

16	DEMI	I	De-emphasis Enable 1 Pin in Parallel Control Mode (Internal pull-down pin)
17	ACKS	I	Master Clock Auto Setting Mode Pin in Parallel Mode (Internal pull-down pin)
	CAD1	I	Chip Address 1 Pin in Serial Control Mode
18	NC	-	No internal bonding. Connect to GND.
19	VREFHR	I	Rch High Level Voltage Reference Input Pin
20	VREFHR	I	Rch High Level Voltage Reference Input Pin
21	VREFLR	I	Rch Low Level Voltage Reference Input Pin
21	VREFLR	I	Rch Low Level Voltage Reference Input Pin
23	VCMR	-	Right channel Common Voltage Pin, Normally connected to VREFLR with a 10uF electrolytic cap.
24	NC	-	No internal bonding. Connect to GND.
25	AOUTRP	O	Rch Positive Analog Output Pin
26	AOUTRN	O	Rch Negative Analog Output Pin
27	VDDR	-	Rch Analog Power Supply Pin, 4.75 ~ 7.2V
28	VDDR	-	Rch Analog Power Supply Pin, 4.75 ~ 7.2V
29	VSSR		Ground Pin
30	VSSR		Ground Pin
31	VSSL		Ground Pin
32	VSSL		Ground Pin
33	VDDL	-	Lch Analog Power Supply Pin, 4.75 ~ 7.2V
34	VDDL	-	Lch Analog Power Supply Pin, 4.75 ~ 7.2V
35	AOUTLN	O	Lch Negative Analog Output Pin
36	AOUTLP	O	Lch Positive Analog Output Pin
37	NC	-	No internal bonding. Connect to GND.
38	VCML	-	Left channel Common Voltage Pin, Normally connected to VREFLL with a 10uF electrolytic cap.
39	VREFLL	I	Lch Low Level Voltage Reference Input Pin
40	VREFLL	I	Lch Low Level Voltage Reference Input Pin
41	VREFHL	I	Lch High Level Voltage Reference Input Pin
42	VREFHL	I	Lch High Level Voltage Reference Input Pin
43	NC	-	No internal bonding. Connect to GND.
44	AVDD	-	Analog Power Supply Pin, 3.0 ~ 3.6V
45	AVSS	-	Ground Pin
46	MCLK	I	Master Clock Input Pin
47	DVSS	-	Ground Pin
48	DVDD	-	Digital Power Supply Pin, 3.0 ~ 3.6V

Note: All input pins except internal pull-up/down pins must not be left floating.

## ■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

### (1) パラレルモード (PCM modeのみ)

区分	ピン名	設定
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	I2C	DVSSに接続又はオープン

### (2) シリアルモード

#### 1. PCM Mode

区分	ピン名	設定
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	PSN, DEM1	DVSSに接続
	DEM0	DVDDに接続

#### 2. DSD Mode

区分	ピン名	設定
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	PSN, DEM1	DVSSに接続
	DEM0	DVDDに接続

#### pull-up pin List

pull-up pin	13, 15
-------------	--------

#### pull-down pin List

pull-down pin	14, 16, 17
---------------	------------



## 6. 絶対最大定格

(AVSS=DVSS=VSSL=VSSR=VREFLL=VREFLR=0V; Note 1)

Parameter		Symbol	min	max	Unit
Power Supplies:	Analog	AVDD	-0.3	4.6	V
	Analog	VDDL/R	-0.3	7.5	V
	Digital	DVDD	-0.3	4.6	V
	AVSS - DVSS  (Note 2)	ΔGND	-	0.3	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Digital Input Voltage		VIND	-0.3	DVDD+0.3	V
Ambient Temperature (Power applied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 1. 電圧は全てグラウンドピンに対する値です。

Note 2. AVSS, DVSS, VSSL, VSSR は同じアナロググラウンドに接続して下さい。

Note 3. 絶対最大定格以上の静電気ノイズや電圧印加（オーバーシュート含む）の影響を抑圧するために、少なくとも VDDL-VSSL 間と VDDR-VSSR 間に 0.1μF 以上のデカップリングコンデンサを挿入して下さい。

注意：この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
また通常の動作は保証されません。

## 7. 推奨動作条件

(AVSS=DVSS=VSSL=VSSR=0V; Note 1)

Parameter		Symbol	min	typ	max	Unit
Power Supplies (Note 4)	Analog	AVDD	3.0	3.3	3.6	V
	Analog	VDDL/R	4.75	5.0	7.2	V
	Digital	DVDD	3.0	3.3	3.6	V
Voltage Reference (Note 5)	“H” voltage reference	VREFHL/R	VDDL/R-0.5	-	VDDL/R	V
	“L” voltage reference	VREFLL/R	-	VSSL/R	-	V

Note 1. 電圧は全てグラウンドピンに対する値です。

Note 4. AVDD, VDDL/R, DVDDの電源立ち上げシーケンスを考慮する必要はありません。

Note 5. アナログ出力電圧は(VREFH - VREFL)の電圧に比例します。

$$AOUT(\text{typ. @0dB}) = (AOUT+) - (AOUT-) = \pm 2.8V_{pp} \times (VREFHL/R - VREFLL/R)/5.$$

注意：本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

## 8. 電気的特性

## ■ アナログ特性

( $T_a=25^\circ\text{C}$ ;  $AVDD=DVDD=3.3\text{V}$ ;  $AVSS=DVSS=VSSL/R=0\text{V}$ ;  $VREFHL/R=VDDL/R=5\text{V}$ ,  $VREFLL/R=VSSL/R=0\text{V}$ ; Input data = 24bit;  $R_L \geq 1\text{k}\Omega$ ; BICK=64fs; Signal Frequency = 1kHz; Sampling Frequency = 44.1kHz; Measurement bandwidth = 20Hz ~ 20kHz; External Circuit: [Figure 41](#); unless otherwise specified.)

Parameter		min	typ	max	Unit	
Resolution		-	-	32	Bits	
<b>Dynamic Characteristics</b> (Note 6)						
THD+N	fs=44.1kHz	0dBFS	-	-112	-105	dB
	BW=20kHz	-60dBFS	-	-57	-49	dB
	fs=96kHz	0dBFS	-	-109	-100	dB
	BW=40kHz	-60dBFS	-	-54	-44	dB
	fs=192kHz	0dBFS	-	-106	-100	dB
	BW=40kHz	-60dBFS	-	-54	-44	dB
	BW=80kHz	-60dBFS	-	-51	-41	dB
Dynamic Range (-60dBFS with A-weighted)		(Note 7)	115	120	-	dB
S/N (A-weighted)		(Note 8)	115	120	-	dB
S/N (Mono mode, A-weighted)			118	123	-	dB
Interchannel Isolation (1kHz)			110	120	-	dB
<b>DC Accuracy</b>						
Interchannel Gain Mismatch			-	0.15	0.3	dB
Gain Drift		(Note 9)	-	-	20	ppm/°C
Output Voltage		(Note 10)	$\pm 2.65$	$\pm 2.8$	$\pm 2.95$	Vpp
Load Capacitance			-	-	25	pF
Load Resistance		(Note 11)	1	-	-	k $\Omega$
<b>Power Supplies</b>						
Power Supply Current						
	Normal operation (PDN pin = "H")					
	VDDL/R		-	22	32	mA
	AVDD		-	0.6	1.2	mA
	DVDD (fs= 44.1kHz)		-	10	14	mA
	DVDD (fs= 96kHz)		-	15	20	mA
	DVDD (fs = 192kHz)		-	17	23	mA
	Power down (PDN pin = "L")		(Note 12)			
	AVDD+VDDL/R+DVDD		-	10	100	$\mu\text{A}$

Note 6. Audio Precision System Two使用。平均値測定。測定結果は評価ボードマニュアルを参照下さい。

Note 7. [Figure 41](#) (回路例2)使用時。101dB at 16bit data and 118dB at 20bit data.

Note 8. [Figure 41](#) (回路例2)使用時。S/N比は入力ビット長に依存しません。

Note 9. (VREFH - VREFL)の電圧は+5V一定。

Note 10. フルスケール電圧(0dB)。出力電圧は(VREFHL/R - VREFLL/R)の電圧に比例します。

$$AOUT (\text{typ. @0dB}) = (AOUT+) - (AOUT-) = \pm 2.8V_{pp} \times (VREFHL/R - VREFLL/R)/5.$$

Note 11. Load Resistanceについては、AC負荷(DCカット用コンデンサあり)に対して1k ohm (min)です。[Figure 41](#)を参照してください。DC負荷(DCカット用コンデンサなし)に対して1.5k ohm (min)です。[Figure 40](#)を参照してください。Load Resistanceはグラウンドに対する値です。アナログ特性は出力ピンに接続される容量性負荷に敏感なため、容量性負荷が極力小さくなるようにしてください。

Note 12. パワーダウン時、PSN pin = DVDD、それ以外の外部クロック(MCLK, BICK, LRCK)を含む全てのデジタル入力をDVSSに固定した場合の値です。

### ■ シャープロールオフ・フィルタ特性(fs = 44.1kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Normal Speed Mode; DEM=OFF; SD bit="0" or SD pin = "L", SLOW bit="0" or SLOW pin = "L")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)	±0.01dB -6.0dB	PB	0	20.0	kHz
			-	22.05	kHz
Stopband (Note 13)	SB	24.1			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	100			dB
Group Delay (Note 14)	GD	-	29.4	-	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response: 0 ~ 20.0kHz		-	+0.1/-0.2	-	dB

### ■ シャープロールオフ・フィルタ特性(fs = 96kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Double Speed Mode; DEM=OFF; SD bit="0" or SD pin = "L", SLOW bit="0" or SLOW pin = "L")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)	±0.01dB -6.0dB	PB	0	43.5	kHz
			-	48.0	kHz
Stopband (Note 13)	SB	52.5			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	100			dB
Group Delay (Note 14)	GD	-	28.8	-	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response: 0 ~ 40.0kHz		-	+0.1/-0.6	-	dB

### ■ シャープロールオフ・フィルタ特性(fs = 192kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Quad Speed Mode; DEM=OFF; SD bit="0" or SD pin = "L", SLOW bit="0" or SLOW pin = "L")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)	±0.01dB -6.0dB	PB	0	87.0	kHz
			-	96.0	kHz
Stopband (Note 13)	SB	105			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	92			dB
Group Delay (Note 14)	GD	-	28.8	-	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response: 0 ~ 80.0kHz		-	+0.1/-2.0	-	dB

Note 13. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、PB = 0.4535 × fs(@±0.01dB)、SB = 0.546 × fsです。

Note 14. デジタルフィルタによる演算遅延で、16/20/24/32ビットデータが入力されてからアナログ信号が出力されるまでの時間です。

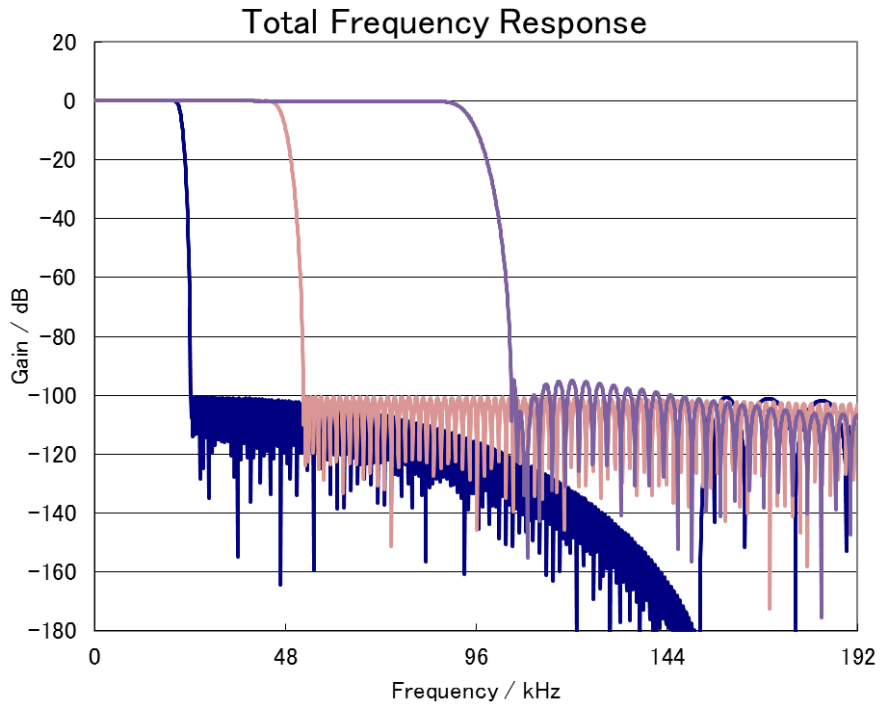


Figure 1. Sharp Roll-off Filter Frequency Response

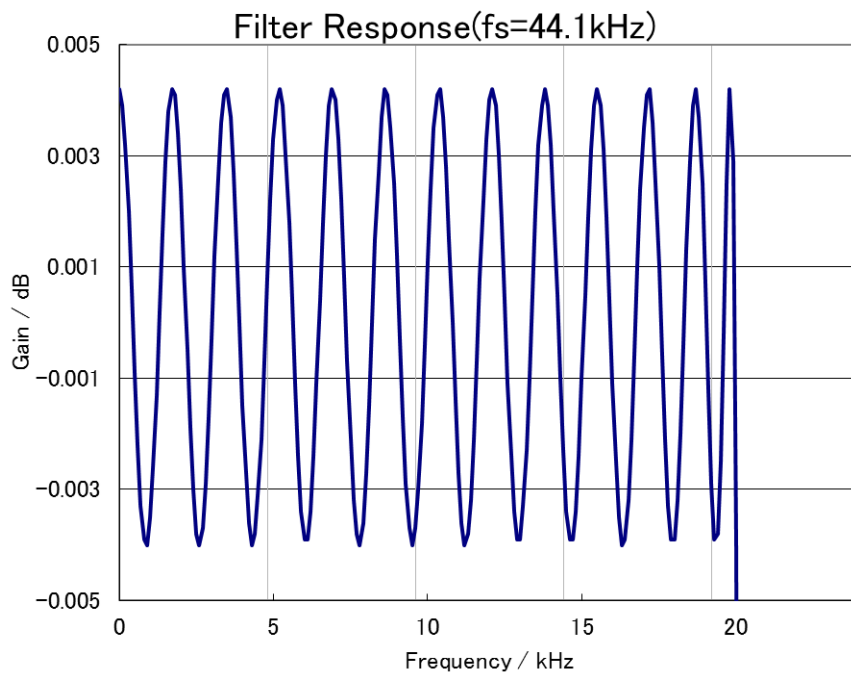


Figure 2. Sharp Roll-off Filter Passband Ripple

### ■ ショートディレイ・シャープロールオフフィルタ特性 (fs = 44.1kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Normal Speed Mode; DEM=OFF; SD bit="1" or SD pin = "H", SLOW bit="0" or SLOW pin = "L")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)		±0.01dB	PB	0	kHz
		-6.0dB		-	22.05
Stopband (Note 13)	SB	24.1			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	100			dB
Group Delay (Note 14)	GD	-	6.25	-	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response : 0 ~ 20.0kHz		-	+0.1/-0.2	-	dB

### ■ ショートディレイ・シャープロールオフフィルタ特性 (fs = 96kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Double Speed Mode; DEM=OFF; SD bit="1" or SD pin = "H", SLOW bit="0" or SLOW pin = "L")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)		±0.01dB	PB	0	kHz
		-6.0dB		-	48.0
Stopband (Note 13)	SB	52.5			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	100			dB
Group Delay (Note 14)	GD	-	5.63	-	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response : 0 ~ 40.0kHz		-	+0.1/-0.6	-	dB

### ■ ショートディレイ・シャープロールオフフィルタ特性 (fs = 192kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Quad Speed Mode; DEM=OFF; SD bit="1" or SD pin = "H", SLOW bit="0" or SLOW pin = "L")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)		±0.01dB	PB	0	kHz
		-6.0dB		-	96.0
Stopband (Note 13)	SB	105			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	92			dB
Group Delay (Note 14)	GD	-	5.63	-	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response : 0 ~ 80.0kHz		-	+0.1/-2.0	-	dB

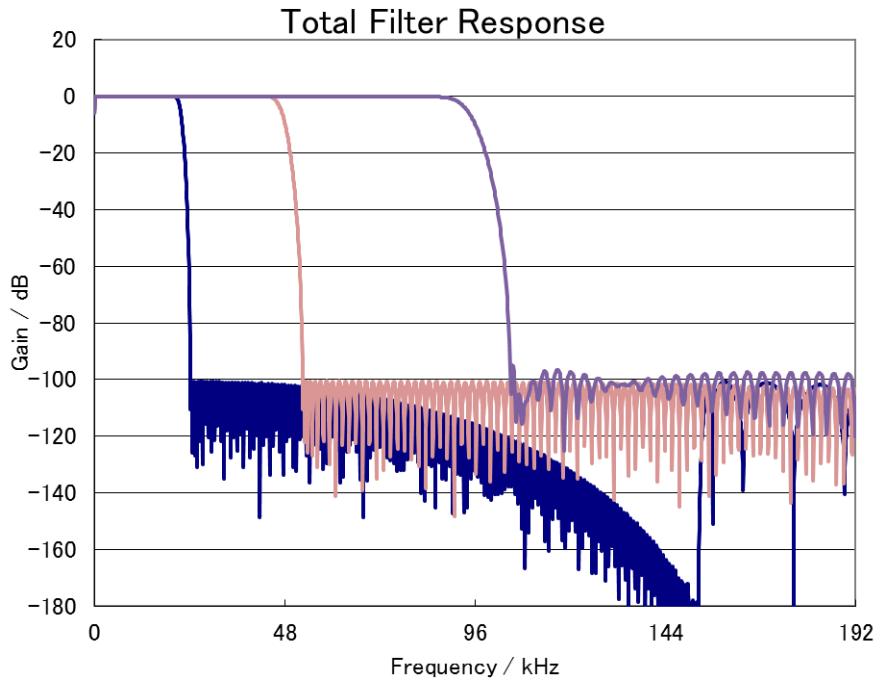


Figure 3. Short delay Sharp Roll-off Filter Frequency Response

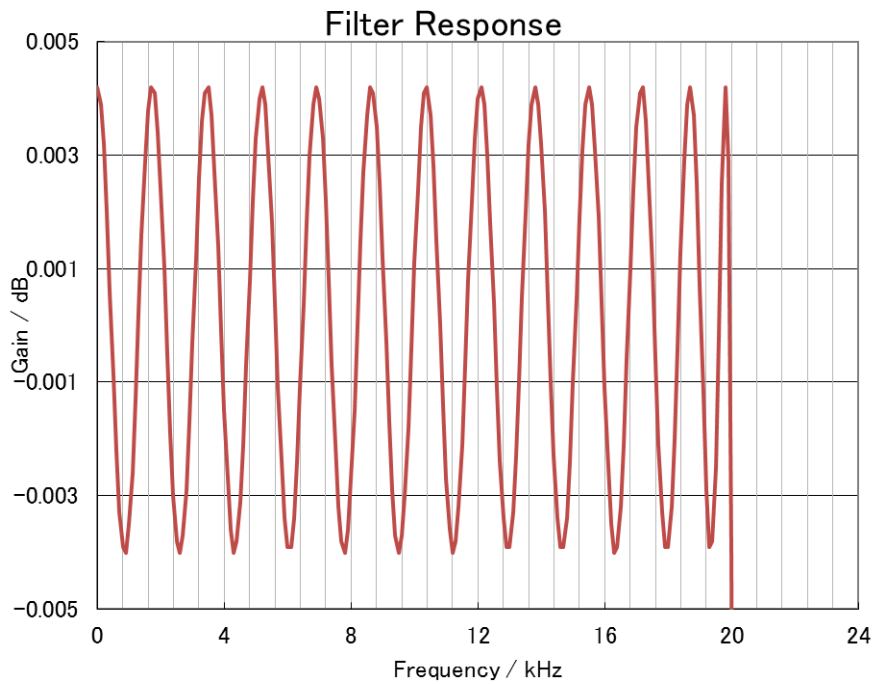


Figure 4. Short delay Sharp Roll-off Filter Passband Ripple

### ■ スローロールオフ・フィルタ特性(fs = 44.1kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Normal Speed Mode; DEM=OFF; SD bit="0" or SD pin = "L", SLOW bit="1" or SLOW pin = "H")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)	±0.01dB -6.0dB	PB	0		kHz
			-	18.2	kHz
Stopband (Note 13)		SB	39.1		kHz
Passband Ripple		PR		±0.005	dB
Stopband Attenuation		SA	94		dB
Group Delay (Note 14)		GD	-	6.63	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response: 0 ~ 20.0kHz			-	+0.1/-4.5	dB

### ■ スローロールオフ・フィルタ特性(fs = 96kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Double Speed Mode; DEM=OFF; SD bit="0" or SD pin = "L", SLOW bit="1" or SLOW pin = "H")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)	±0.01dB -6.0dB	PB	0		kHz
			-	45.6	kHz
Stopband (Note 13)		SB	85.0		kHz
Passband Ripple		PR		±0.005	dB
Stopband Attenuation		SA	100		dB
Group Delay (Note 14)		GD	-	6.00	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response: 0 ~ 40.0kHz			-	+0.1/-4.0	dB

### ■ スローロールオフ・フィルタ特性(fs = 192kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Quad Speed Mode; DEM=OFF; SD bit="0" or SD pin = "L", SLOW bit="1" or SLOW pin = "H")

Parameter	Symbol	min	typ	max	Unit
<b>Digital Filter</b>					
Passband (Note 13)	±0.01dB -6.0dB	PB	0		kHz
			-	90.4	kHz
Stopband (Note 13)		SB	171		kHz
Passband Ripple		PR		±0.005	dB
Stopband Attenuation		SA	97		dB
Group Delay (Note 14)		GD	-	6.00	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response: 0 ~ 80.0kHz			-	+0.1/-5.5	dB

Note 15. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、PB = 0.4535 × fs(@±0.01dB)、SB = 0.546 × fsです。

Note 16. デジタルフィルタによる演算遅延で、16/20/24/32ビットデータが入力されてからアナログ信号が出力されるまでの時間です。

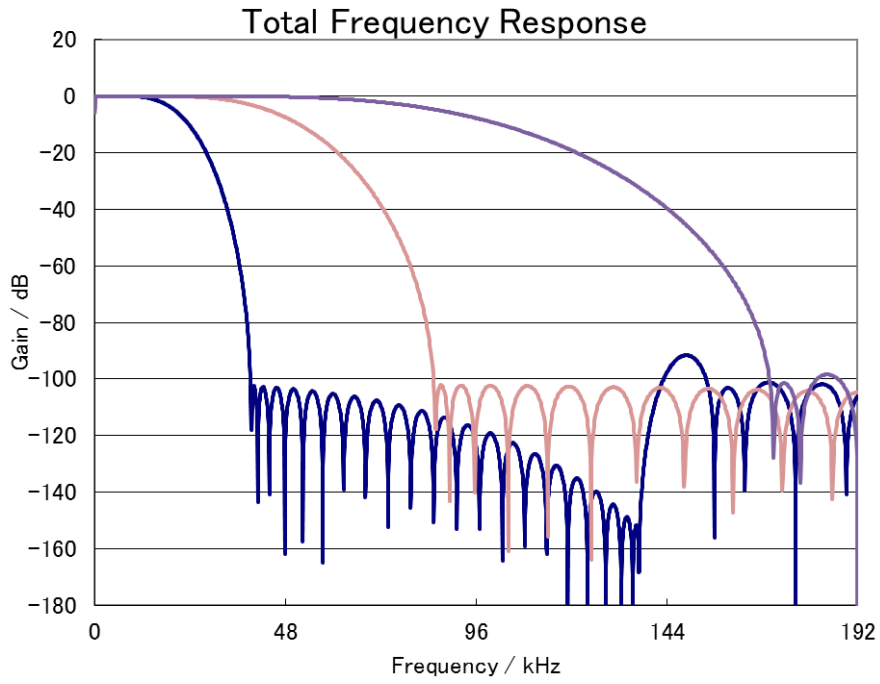


Figure 5. Slow Roll-off Filter Frequency Response

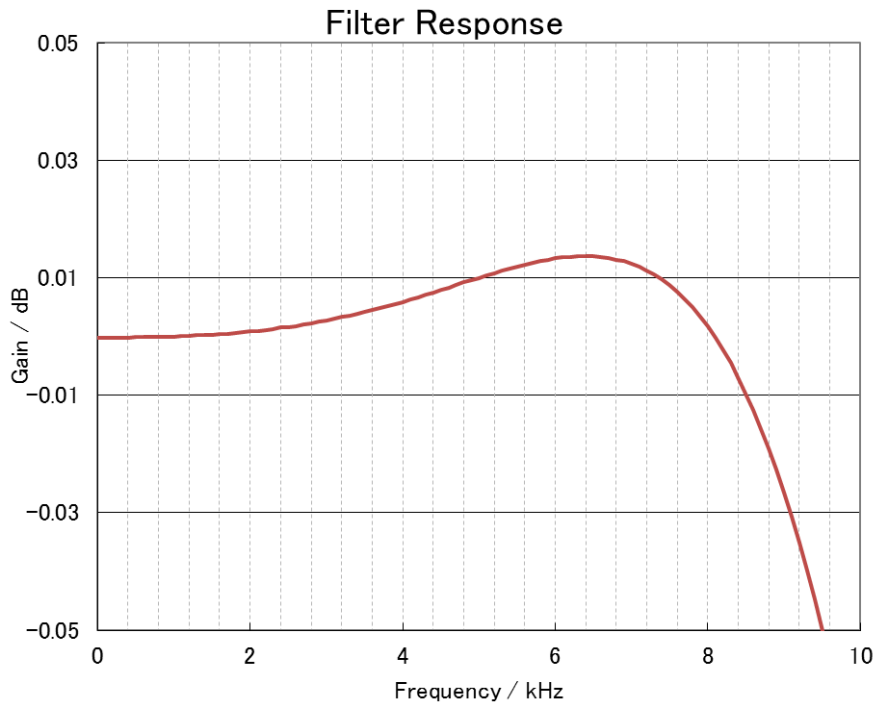


Figure 6. Slow Roll-off Filter Passband Ripple



### ■ ショートディレイ・スローロールオフフィルタ特性 (fs = 44.1kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Normal Speed Mode; DEM=OFF; SD bit="1" or SD pin = "H")

Parameter	Symbol	min	typ	max	Unit	
<b>Digital Filter</b>						
Passband (Note 13)		±0.01dB	PB	0	4.4	kHz
		-6.0dB		-	18.2	kHz
Stopband (Note 13)	SB	39.1			kHz	
Passband Ripple	PR			±0.005	dB	
Stopband Attenuation	SA	94			dB	
Group Delay (Note 14)	GD	-	5.3	-	1/fs	
<b>Digital Filter + SCF</b>						
Frequency Response : 0 ~ 20.0kHz		-	+0.1/-4.5	-	dB	

### ■ ショートディレイ・スローロールオフフィルタ特性 (fs = 96kHz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Double Speed Mode; DEM=OFF; SD bit="1" or SD pin = "H")

Parameter	Symbol	min	typ	max	Unit	
<b>Digital Filter</b>						
Passband (Note 13)		±0.01dB	PB	0	18.1	kHz
		-6.0dB		-	45.6	kHz
Stopband (Note 13)	SB	85.0			kHz	
Passband Ripple	PR			±0.005	dB	
Stopband Attenuation	SA	100			dB	
Group Delay (Note 14)	GD	-	4.68	-	1/fs	
<b>Digital Filter + SCF</b>						
Frequency Response : 0 ~ 40.0kHz		-	+0.1/-0.4	-	dB	

### ■ ショートディレイ・スローロールオフフィルタ特性 (fs = 192Hz)

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V; Quad Speed Mode; DEM=OFF; SD bit="1" or SD pin = "H")

Parameter	Symbol	min	typ	max	Unit	
<b>Digital Filter</b>						
Passband (Note 13)		±0.01dB	PB	0	32.9	kHz
		-6.0dB		-	96.0	kHz
Stopband (Note 13)	SB	170			kHz	
Passband Ripple	PR			±0.005	dB	
Stopband Attenuation	SA	97			dB	
Group Delay (Note 14)	GD	-	4.68	-	1/fs	
<b>Digital Filter + SCF</b>						
Frequency Response : 0 ~ 80.0kHz		-	+0.1/-5.5	-	dB	

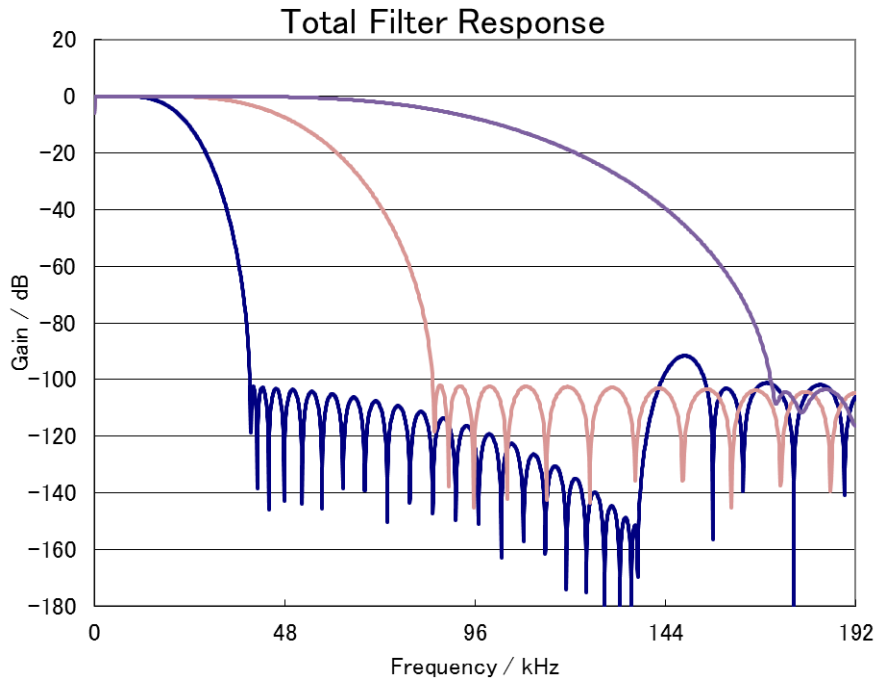


Figure 7. Short Delay Slow Roll-off Filter Frequency Response

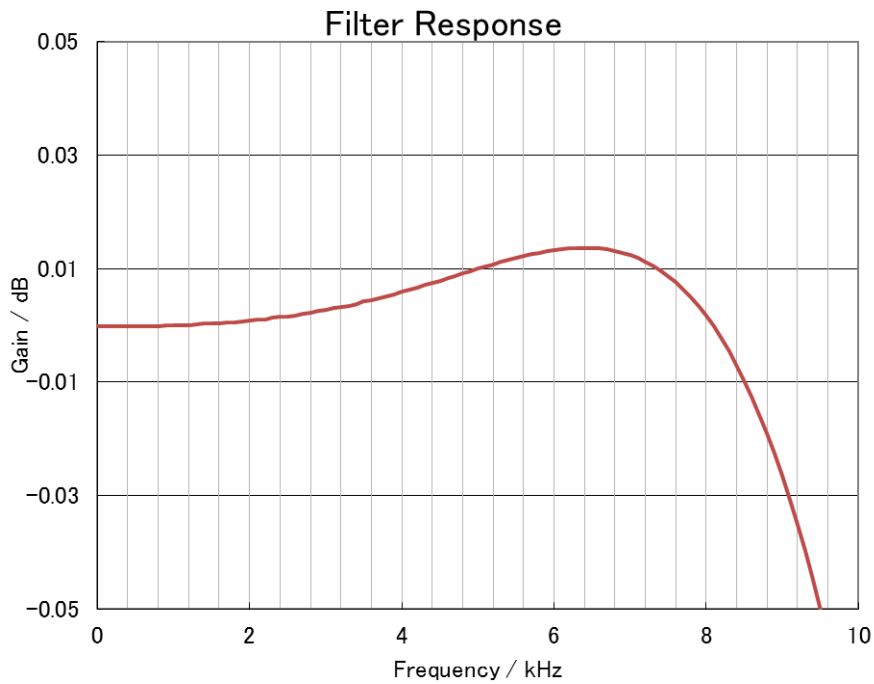


Figure 8. Short Delay Slow Roll-off Filter Passband Ripple

### ■ DSDモード特性

( $T_a=-40\sim 85^\circ\text{C}$ ;  $V_{DDL/R}=4.75\sim 7.2\text{V}$ ,  $AV_{DD}=DV_{DD}=3.0\sim 3.6\text{V}$ ;  $f_s=44.1\text{kHz}$ ; D/P bit="1", DSDF bit="0")

Parameter		min	typ	max	Units
<b>Digital Filter Response</b>					
Frequency Response (Note 18)	20kHz		-0.4		dB
	50kHz		-2.8		dB
	100kHz		-15.5		dB

( $T_a=-40\sim 85^\circ\text{C}$ ;  $V_{DDL/R}=4.75\sim 7.2\text{V}$ ,  $AV_{DD}=DV_{DD}=3.0\sim 3.6\text{V}$ ;  $f_s=44.1\text{kHz}$ ; D/P bit="1", DSDF bit="1", DSDD bit="1")

Parameter		min	typ	max	Units
<b>Digital Filter Response</b>					
Frequency Response (Note 18)	20kHz		-0.05		dB
	50kHz		-0.29		dB
	100kHz		-1.16		dB
	150kHz		-2.8		dB

Note 17. SACDフォーマットブック(Scarlet Book)では、DSD信号のピークレベルがデューティレンジ25%~75%を越えることは推奨されていません。

Note 18. 入力に1kHz、デューティレンジ25%~75%のsine波を与えたときの出力レベルを0dBとします。

### ■ DC特性

( $T_a=25^\circ\text{C}$ ;  $AV_{DD}=DV_{DD}=3.0\sim 3.6$ ,  $V_{REFHL/R}=V_{DDL/R}=4.75\sim 7.2\text{V}$ )

Parameter	Symbol	min	typ	max	Unit
High-Level Input Voltage	$V_{IH}$	70% $DV_{DD}$	-	-	V
Low-Level Input Voltage	$V_{IL}$	-	-	30% $DV_{DD}$	V
High-Level Output Voltage ( $I_{out}=-100\mu\text{A}$ )	$V_{OH}$	$DV_{DD}-0.5$	-	-	V
Low-Level Output Voltage (DZFL, DZFR pins: $I_{out}=100\mu\text{A}$ ) (SDA pin: $I_{out}=3\text{mA}$ )	$V_{OL}$	-	-	0.5	V
	$V_{OL}$	-	-	0.4	V
Input Leakage Current (Note 19)	$I_{in}$	-	-	$\pm 10$	$\mu\text{A}$

Note 19. DEM1 pin, I2C pin, ACKS pinは内部でプルダウン, またDEM0 pin, PSN pin, は内部でプルアップされています。(typ. 100k $\Omega$ )このため、DEM1 pin, I2C pin, ACKS pin, DEM0pin, PSN pinはこの仕様から除きます。

## ■ スイッチング特性

(Ta=25°C; AVDD=DVDD=3.0 ~ 3.6, VREFHL/R=VDDL/R=4.75 ~ 7.2V)

Parameter	Symbol	min	typ	max	Unit
<b>Master Clock Timing</b>					
Frequency	fCLK	7.7		49.152	MHz
Duty Cycle	dCLK	40		60	%
Minimum Pulse Width	tCLKH	9.155			ns
	tCLKL	9.155			ns
<b>LRCK Frequency (Note 20)</b>					
1152fs, 512fs or 768fs	fsn	30		54	kHz
256fs or 384fs	fsd	54		108	kHz
128fs or 192fs	fsq	108		216	kHz
64fs	fsoc		384		kHz
64fs	fssd		768		kHz
Duty Cycle	Duty	45		55	%
<b>PCM Audio Interface Timing</b>					
BICK Period					
1152fs, 512fs or 768fs	tBCK	1/128fsn			ns
256fs or 384fs	tBCK	1/64fsd			ns
128fs or 192fs	tBCK	1/64fsq			ns
64fs	tBCK	1/64fso			ns
64fs	tBCK	1/64fsh			ns
BICK Pulse Width Low	tBCKL	9			ns
BICK Pulse Width High	tBCKH	9			ns
BICK “↑” to LRCK Edge (Note 21)	tBLR	5			ns
LRCK Edge to BICK “↑” (Note 21)	tLRB	5			ns
SDATA Hold Time	tSDH	5			ns
SDATA Setup Time	tSDS	5			ns
<b>External Digital Filter Mode</b>					
BCK Period	tB	27			ns
BCK Pulse Width Low	tBL	10			ns
BCK Pulse Width High	tBH	10			ns
BCK “↑” to WCK Edge	tBW	5			ns
WCK Period	tWCK	1.3			μs
WCK Edge to BCK “↑”	tWB	5			ns
WCK Pulse Width Low	tWCK	54			ns
WCK Pulse Width High	tWCH	54			ns
DATA Hold Time	tDH	5			ns
DATA Setup Time	tDS	5			ns
<b>DSD Audio Interface Timing (64 mode, DSDSEL 1-0 bit = “00”)</b>					
DCLK Period	tDCK		1/64fs		ns
DCLK Pulse Width Low	tDCKL	160			ns
DCLK Pulse Width High	tDCKH	160			ns
DCLK Edge to DSDL/R (Note 22)	tDDD	-20		20	ns

<b>DSD Audio Interface Timing (128 mode, DSDSEL 1-0 bit = "01")</b>					
DCLK Period	tDCK		1/128fs		ns
DCLK Pulse Width Low	tDCKL	80			ns
DCLK Pulse Width High	tDCKH	80			ns
DCLK Edge to DSDL/R (Note 22)	tDDD	-10		10	ns
<b>DSD Audio Interface Timing (256 mode, DSDSEL 1-0 bit = "10")</b>					
DCLK Period	tDCK		1/256fs		ns
DCLK Pulse Width Low	tDCKL	40			ns
DCLK Pulse Width High	tDCKH	40			ns
DCLK Edge to DSDL/R (Note 22)	tDDD	-5		5	ns
<b>Control Interface Timing</b>					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
CCLK Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	50			ns
CDTI Hold Time	tCDH	50			ns
CSN High Time	tCSW	150			ns
CSN "↓" to CCLK "↑"	tCSS	50			ns
CCLK "↑" to CSN "↑"	tCSH	50			ns
<b>Control Interface Timing (I<sup>2</sup>C Bus mode):</b>					
SCL Clock Frequency	fSCL	-		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6		-	μs
Clock Low Time	tLOW	1.3		-	μs
Clock High Time	tHIGH	0.6		-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6		-	μs
SDA Hold Time from SCL Falling (Note 23)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6		-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb	-		400	pF
<b>Reset Timing</b>					
PDN Pulse Width (Note 24)	tPD	150			ns

Note 20. 1152fs, 512fs or 768fs /256fs or 384fs /128fs or 192fs を切り替えた場合はPDN pinまたはRSTN bitでリセットして下さい。

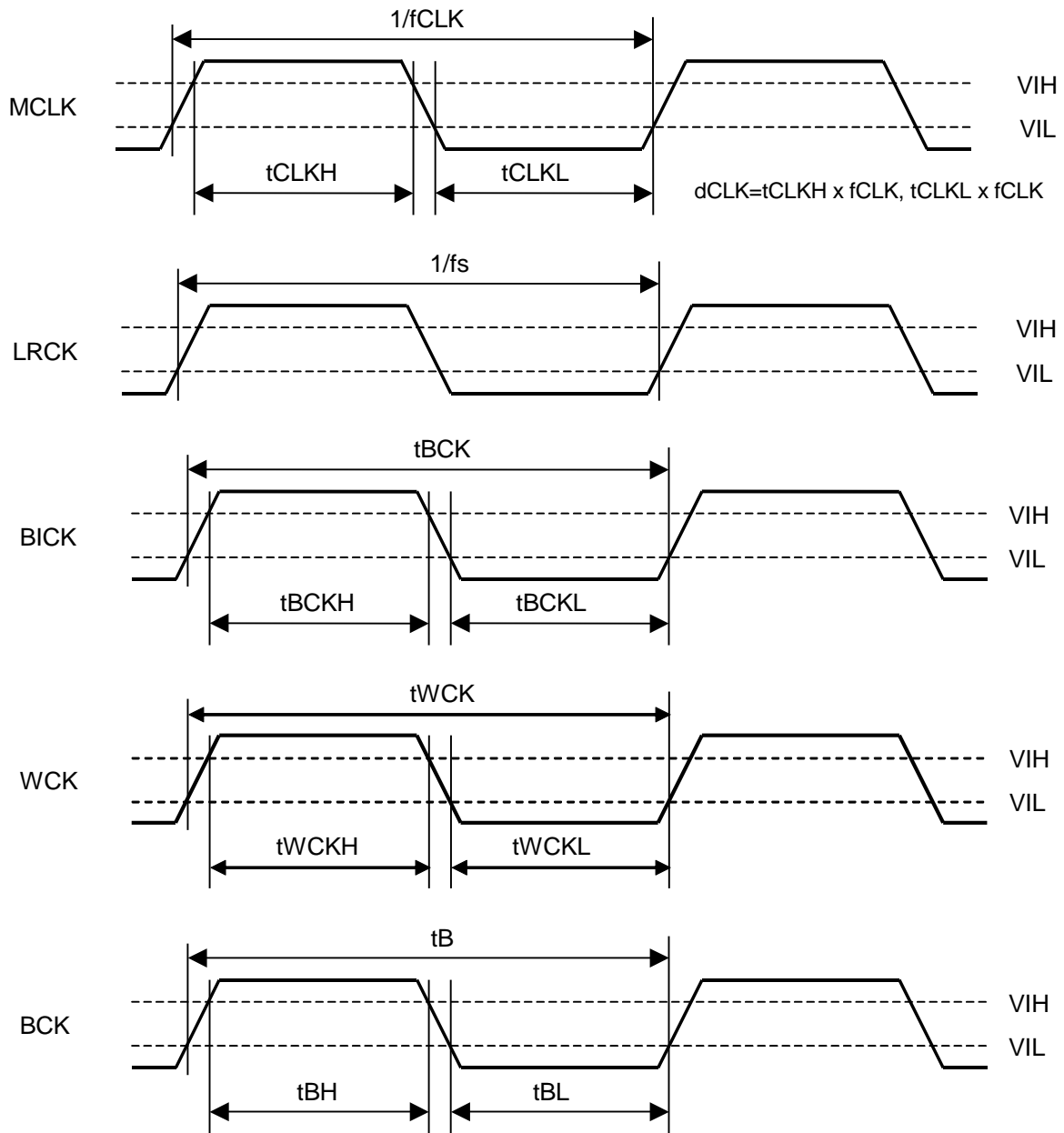
Note 21. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

Note 22. データ送信側に要求される値です。

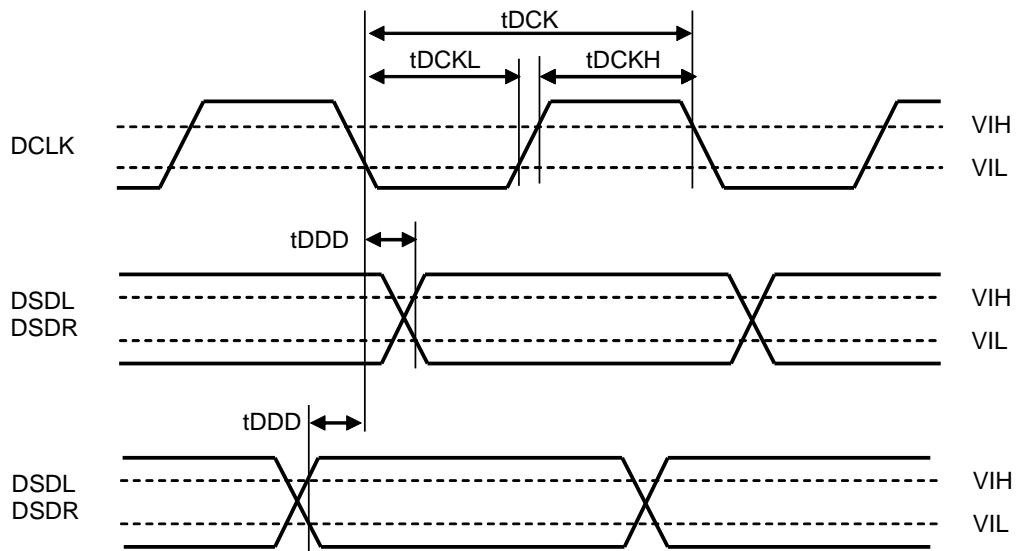
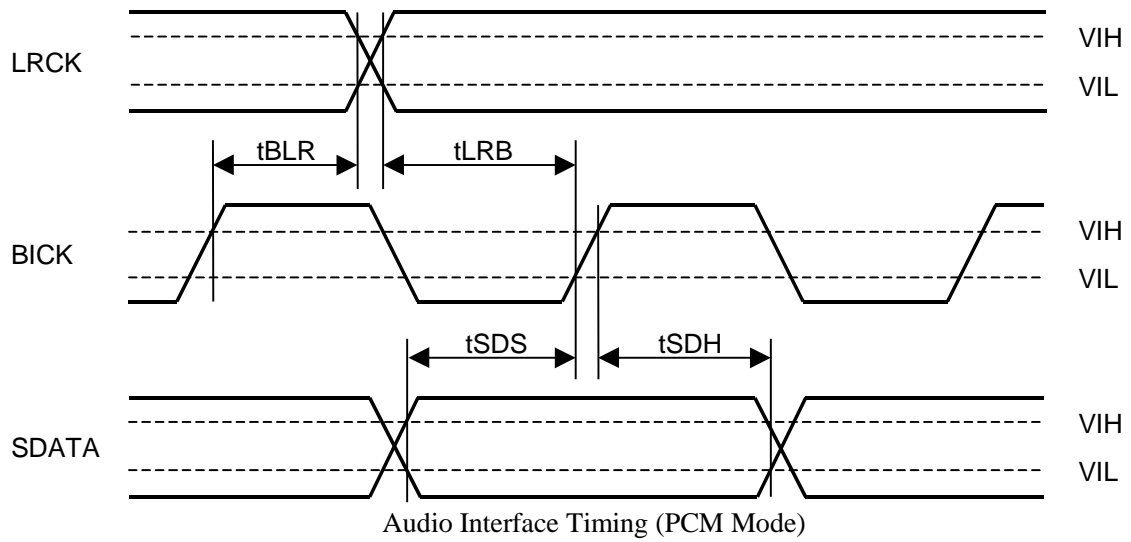
Note 23. データは最低300ns(SCLの立ち下がり時間)の間保持されなければなりません。

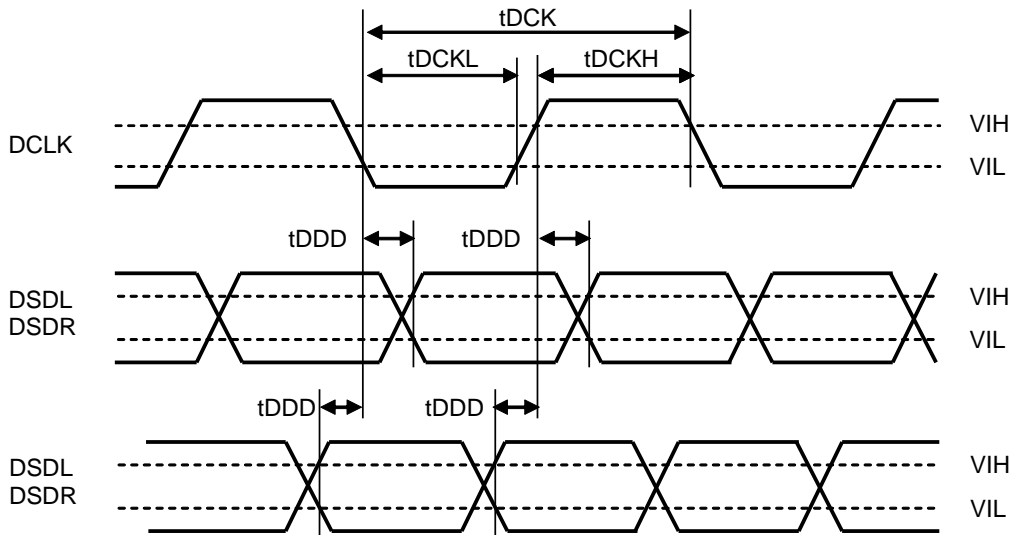
Note 24. PDN pinを“L”にすることでリセットがかかります。

■ タイミング波形

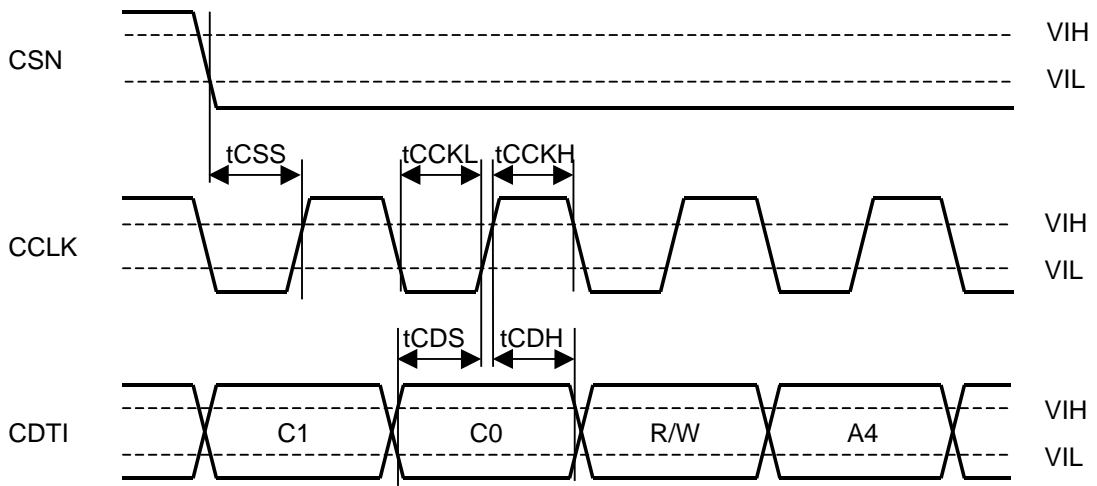


Clock Timing



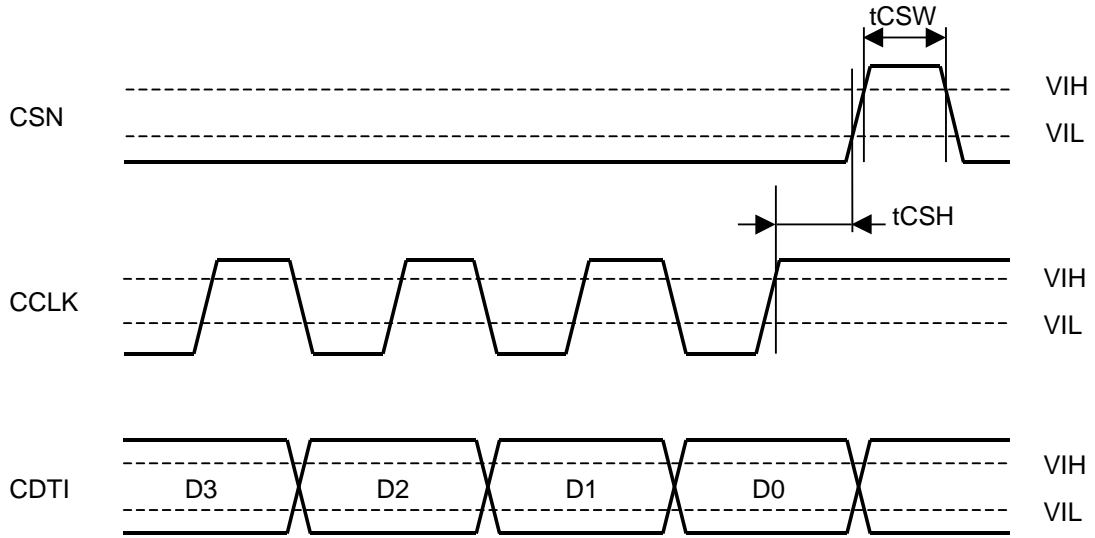


Audio Serial Interface Timing (DSD Phase Modulation Mode, DCKB bit = "0")

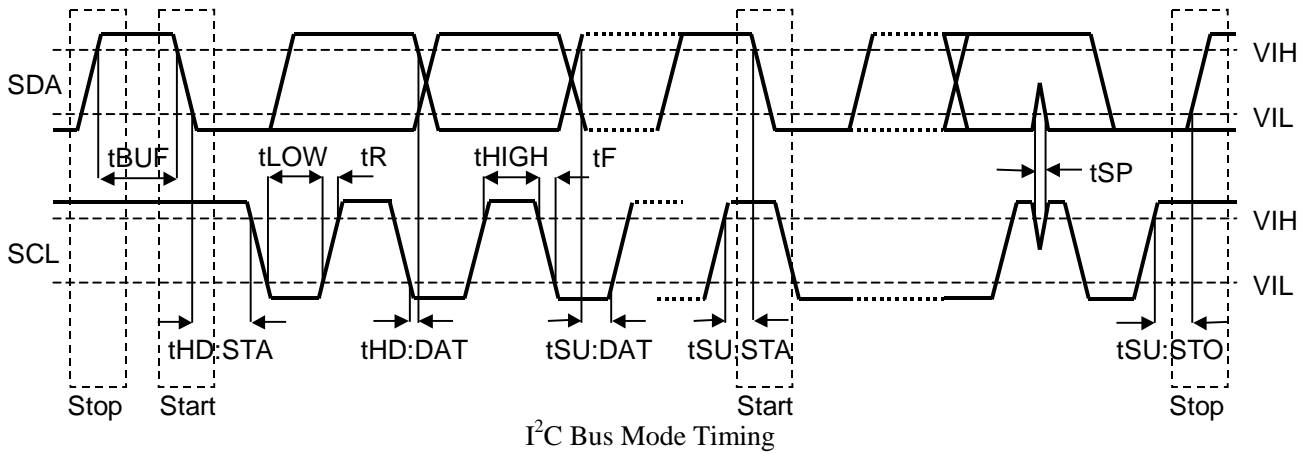


WRITE Command Input Timing

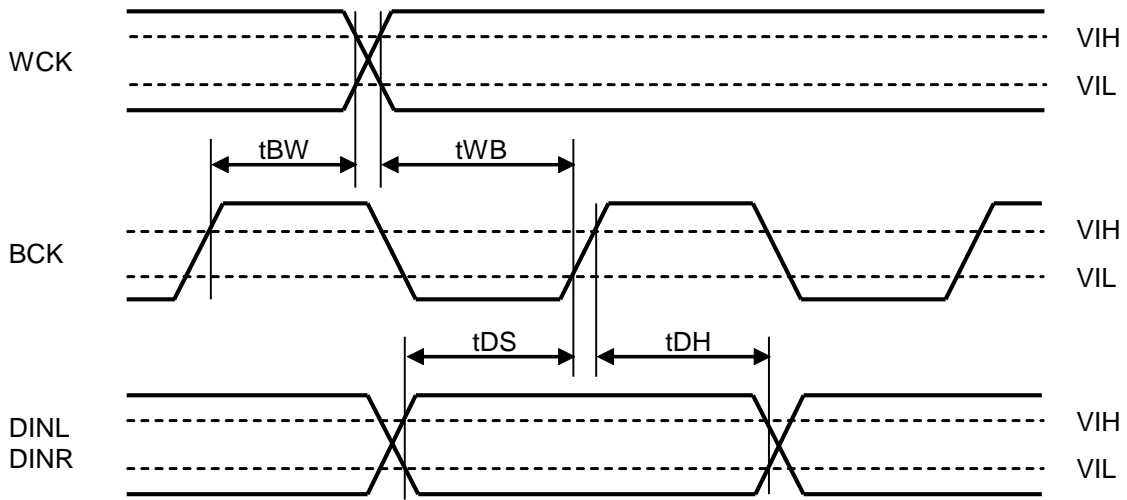
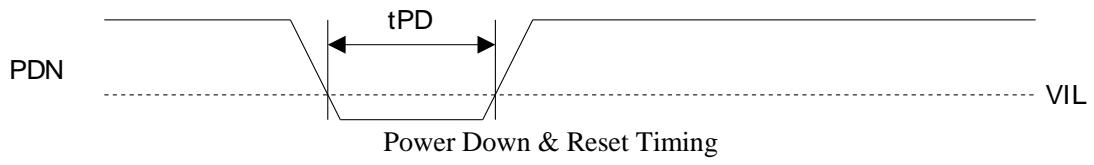




WRITE Data Input Timing



I<sup>2</sup>C Bus Mode Timing



## 9. 機能説明

### ■ D/A変換モード

AK4490はPCMデータとDSDデータの両方をD/A変換することが可能です。DSD mode時は、DCLK, DSDL, DSDRの各ピンからDSDデータを入力できます。PCM modeではBICK, LRCK, SDATAの各ピンからPCMデータを入力します。モード切り替えはD/P bitで行います。D/P bitでPCM/DSD modeを切り替えた場合はRSTN bitでリセットして下さい。切り替えには2~3/fs程度かかります。パラレルモード時はPCMデータのみに対応します。

D/P bit	Interface
0	PCM
1	DSD

Table 1. PCM/DSD Mode Control

また、DP bit=“0”の場合、内部Digital Filterと外部Digital Filter I/Fを選択することが可能です。外部Digital Filter I/F使用時(EX DF I/F mode)は、MCLK, BCK, WCK, DINL, DINRの各ピンからデータを入力します。モード切替はEXDF bitで行います。EXDF bitで内部Digital Filterと外部Digital Filter I/Fを切替える場合はRSTN bitでリセットして下さい。切り替えには2~3/fs程度かかります。

Ex DF bit	Interface
0	PCM
1	EX DF I/F

Table 2. Digital Filter Control (DP bit = “0”)

### ■ システムクロック

#### [1] PCM Mode

AK4490に必要なクロックは、MCLK, BICK, LRCKです。MCLKとLRCKは同期する必要はありますが位相を合わせる必要はありません。MCLKはインターポレーションフィルタと $\Delta\Sigma$ 変調器に使用されます。MCLK周波数を設定する方法は(Manual Setting Mode)とデバイス内部で自動設定する方法(Auto Setting Mode)の2つがあります。Manual Setting Mode (ACKS pin = “L”, Normal Speed Mode)では、MCLK周波数は自動設定されます(Table 4)。リセット解除時(PDN pin = “ $\uparrow$ ”)はAuto Setting Modeに設定されます。Auto Setting Mode (ACKS pin = “H”)では、サンプリングスピードとMCLK周波数は自動検出され(Table 5)、内部クロックは適切な周波数(Table 6)に自動設定されます。

動作中にMCLKまたはLRCKが止まった場合は、AK4490は自動的にリセット状態になり、アナログ出力はHi-zとなります。MCLKとLRCKを再入力後、リセット状態が解除され動作を再開します。電源ON時はMCLKとLRCKが入力されるまでパワーダウン状態です。

各スピードでのMCLK周波数はTable 3で示される周波数を外部から供給して下さい。

(1) パラレルモード (PSN pin = “H”)

1. Manual Setting Mode (ACKS pin = “L”)

各スピードでのMCLK周波数はTable 3で示される周波数を外部から供給して下さい。DFS1-0 bitは“00”に固定されます。このモードは、2倍速、4倍速には対応していません。

LRCK	MCLK (MHz)							BICK
	fs	128fs	192fs	256fs	384fs	512fs	768fs	
32.0kHz	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	2.0480MHz
44.1kHz	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	2.8224MHz
48.0kHz	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	3.0720MHz

Table 3. System Clock Example (Manual Setting Mode @Parallel Mode)(N/A: Not available)

32kHz~96kHzのサンプリングレートまで対応します(Table 4)。但し、32kHz~48kHzのサンプリングレートでは、MCLK=256fs/384fsでのDR, S/Nは、MCLK=512fs/768fsの時に比べて3dB程度劣化します。

ACKS pin	MCLK	DR,S/N
L	256fs/384fs/512fs/768fs	120dB
H	256fs/384fs	117dB
H	512fs/768fs	120dB

Table 4. MCLK周波数とDR, S/Nの関係(fs = 44.1kHz)

## 2. Auto Setting Mode (ACKS pin = "H")

MCLK周波数とサンプリングスピードは自動検出(Table 5)されます。各スピードでのMCLK周波数はTable 6で示される周波数を外部から供給して下さい。

MCLK		Sampling Speed
1152fs		Normal (fs≤32kHz)
512fs/256fs	768fs/384fs	Normal
256fs	384fs	Double
128fs	192fs	Quad
64fs	96fs	Oct
32fs	48fs	Hex

Table 5. Sampling Speed (Auto Setting Mode @Parallel Mode)

LRCK	MCLK(MHz)											Sampling Speed	
	Fs	32fs	48fs	64fs	96fs	128fs	192fs	256fs	384fs	512fs	768fs		1152fs
32.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	Normal
44.1kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	
48.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	
88.2kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	
176.4kHz	N/A	N/A	N/A	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	N/A	N/A	N/A	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	N/A	N/A	
384kHz	N/A	N/A	24.576	36.864	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768kHz	24.576	36.864	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Hex

Table 6. System Clock Example (Auto Setting Mode @Parallel Mode) (N/A: Not available)

MCLK= 256fs/384fsのとき、Auto Setting Modeは32kHz~96kHzのサンプリングレートまで対応します (Table 7)。但し、32kHz~48kHzのサンプリングレートでは、MCLK= 256fs/384fsでのDR, S/Nは、MCLK= 512fs/768fsの時に比べて3dB程度劣化します。

ACKS pin	MCLK	DR,S/N
L	256fs/384fs/512fs/768fs	120dB
H	256fs/384fs	117dB
H	512fs/768fs	120dB

Table 7. MCLK周波数とDR, S/Nの関係(fs = 44.1kHz)

### 3. Digital filter

AK4490ではSD pin, SLOW pinで4種類のデジタルフィルタを設定できます。それぞれ好みの音質で音楽再生が可能です。

SD pin	SLOW pin	Mode
L	L	Sharp roll-off filter
L	H	Slow roll-off filter
H	L	Short delay Sharp roll-off filter
H	H	Short delay Slow roll-off filter

(default)

Table 8. Digital Filter Setting

AK4490はより周波数特性を緩くした設定も可能です。SSLOW pin = “H”のときその動作になります。

#### (2) シリアルモード (PSN pin = “L”)

##### 1. Manual Setting Mode (ACKS bit = “0”)

MCLK周波数は自動設定されますが、DFS2-0 bitでサンプリングスピードを設定します (Table 9)。各スピードでのMCLK周波数はTable 10で示される周波数を外部から供給して下さい。パワーダウン解除時 (PDN pin = “L” → “H”)はManual Setting Modeに設定されます。DFS2-0 bitを切り替えた場合はRSTN bitでリセットして下さい。

DFS2	DFS1	DFS0	Sampling Rate (fs)	
0	0	0	Normal Speed Mode	30kHz ~ 54kHz
0	0	1	Double Speed Mode	54kHz ~ 108kHz
0	1	0	Quad Speed Mode	120kHz ~ 216kHz
0	1	1	Revered	-
1	0	0	Oct Speed Mode	384kHz
1	0	1	Hexa Speed Mode	768kHz
1	1	0	Revered	-
1	1	1	Revered	-

(default)

Table 9. Sampling Speed (Manual Setting Mode @Serial Mode)

LRCK	MCLK(MHz)											Sampling Speed	
	Fs	32fs	48fs	64fs	96fs	128fs	192fs	256fs	384fs	512fs	768fs		1152fs
32.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	Normal
44.1kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	
48.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	
88.2kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	
176.4kHz	N/A	N/A	N/A	N/A	N/A	22.5792	33.8688	45.1584	N/A	N/A	N/A	N/A	Quad
192.0kHz	N/A	N/A	N/A	N/A	N/A	24.5760	36.8640	49.152	N/A	N/A	N/A	N/A	
384kHz	12.288	18.432	24.576	36.864	49.152	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768kHz	24.576	36.864	49.152	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Hexa

Table 10. System Clock Example (Manual Setting Mode @Serial Mode)

## 2. Auto Setting Mode (ACKS bit = "1")

MCLK周波数とサンプリングスピードは自動検出(Table 11)されるため、DFS2-0 bitの設定は不要です。各スピードでのMCLK周波数はTable 12で示される周波数を外部から供給して下さい。

MCLK		Sampling Speed
1152fs		Normal (fs≤32kHz)
512fs/256fs	768fs/384fs	Normal
256fs	384fs	Double
128fs	192fs	Quad

Table 11. Sampling Speed (Auto Setting Mode @Serial Mode)

LRCK	MCLK(MHz)											Sampling Speed	
	Fs	32fs	48fs	64fs	96fs	128fs	192fs	256fs	384fs	512fs	768fs		1152fs
32.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	Normal
44.1kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	
48.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	
88.2kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	
176.4kHz	N/A	N/A	N/A	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	N/A	N/A	N/A	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	N/A	N/A	
384kHz	N/A	N/A	24.576	36.864	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768kHz	24.576	36.864	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Hexa

Table 12. System Clock Example (Auto Setting Mode @Serial Mode)

MCLK= 256fs/384fsのとき、Auto Setting Modeは32kHz~96kHzのサンプリングレートまで対応します (Table 13)。但し、32kHz~48kHzのサンプリングレートでは、MCLK= 256fs/384fsでのDR, S/Nは、MCLK= 512fs/768fsの時に比べて3dB程度劣化します。

ACKS bit	MCLK	DR,S/N
0	256fs/384fs/512fs/768fs	120dB
1	256fs/384fs	117dB
1	512fs/768fs	120dB

Table 13. MCLK周波数とDR, S/Nの関係(fs = 44.1kHz)

### 3. Digital Filter

AK4490ではSD bit, SLOW bitで4種類のデジタルフィルタを設定できます。それぞれ好みの音質で音楽再生が可能です。

SD bit	SLOW bit	Mode
0	0	Sharp Roll-off Filter
0	1	Slow Roll-off Filter
1	0	Short delay Sharp Roll-off Filter
1	1	Short delay Slow Roll-off Filter

(default)

Table 14. Digital Filter Setting

AK4490はより周波数特性を緩くした動作も可能です。SSLOW bit = “1” (05H D0)のときその動作になります。

## [2] DSD Mode

必要なクロックは、MCLK, DCLKです。MCLKとDCLKは同期する必要はありますが位相を合わせる必要はありません。MCLK周波数はDCKS bitで設定します。

動作中(PDN pin = “H”)に、MCLKが止まった場合は、AK4490は自動的にリセット状態になり、アナログ出力はHi-zになります。但し、外部クロックDCLKを止めてはいけません。DCLKが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。DCLKを止める場合はパワーダウン状態(PDN pin = “L”)にして下さい。電源ON等のリセット解除時(PDN pin = “L” → “H”)はMCLKとDCLKが入力されるまでパワーダウン状態です。

DCKS bit	MCLK Frequency	DCLK Frequency	
0	512fs	64fs/128fs/256fs	(default)
1	768fs	64fs/128fs/256fs	

Table 15. System Clock (DSD Mode)

AK4490はDSDデータストリームの2.8224MHz(64fs), 5.6448MHz(128fs)と11.2896MHz(256fs)に対応します。設定はDSDSEL 1-0 bitで行います。

DSDSEL1	DSDSEL0	DSD data stream	
0	0	2.8224MHz	(default)
0	1	5.6448MHz	
1	0	11.2896MHz	
1	1	Reserved	

Table 16. DSD Sampling Speed Control

AK4490はDSDを再生する際に、Volume Bypass機能があります。DSDD bitでモードを選択できます。DSDD bit = “1”の場合は出力ボリューム機能が使用できません。

DSDD	Mode	
0	Normal Path	(default)
1	Volume Bypass	

Table 17. DSD Play Back Mode Control

DSDD bit = “1”のとき、DSDF bitでフィルタ特性を50kHzと150kHzに切り替えることができます。

DSDD bit	DSDF bit	Cut Off Filter	
0	0	50kHz	(default)
0	1	Reserved	
1	0	50kHz	
1	1	150kHz	

Table 18. DSD Filter Select



DSD信号フルスケール (FS) 検出機能

AK4490は、DSD Mode時に各チャンネルでフルスケールの信号を検出する機能を持ちます。各チャンネルの入力データDSDLもしくはDSDRが2048回連続して“0”(-FS)or“1”(+FS)の場合、LSIはフルスケール検出状態となり、レジスタDML bit、もしくは DMR bitに“1”を読み出します。またDDM bit=“1”の時、フルスケール検出状態となると、出力はMute状態になります。DSDD bit = “0”の場合はソフト遷移しますが、DSDD bit = “1”の場合はソフト遷移しません。

DDM bit=“1”の時、フルスケール検出状態からの通常動作モードへの復帰は、DMC bitで制御します。DMC bit=“0”の時、LSIは通常信号が入力されると、自動復帰し通常動作モードに移行します。DMC bit=“1”の時、LSIにDMRE bit=“1”を書き込むことで通常動作モードに移行します。

DSDD	Mode	検出後の状態
0	Normal Path	DSD Mute
1	Volume Bypass	PD

(default)

Table 19. DSD Mode とフルスケール検出後の状態(DDM bit=“0”)

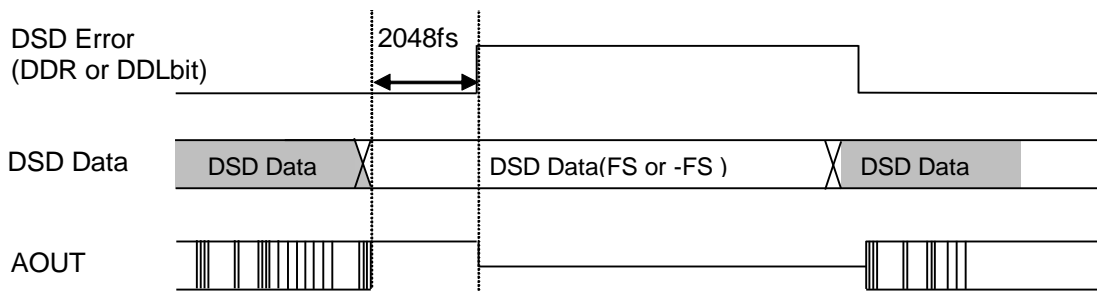


Figure 9. DSD FS 検出時のアナログ出力波形(DSDM bit=“1”の時)

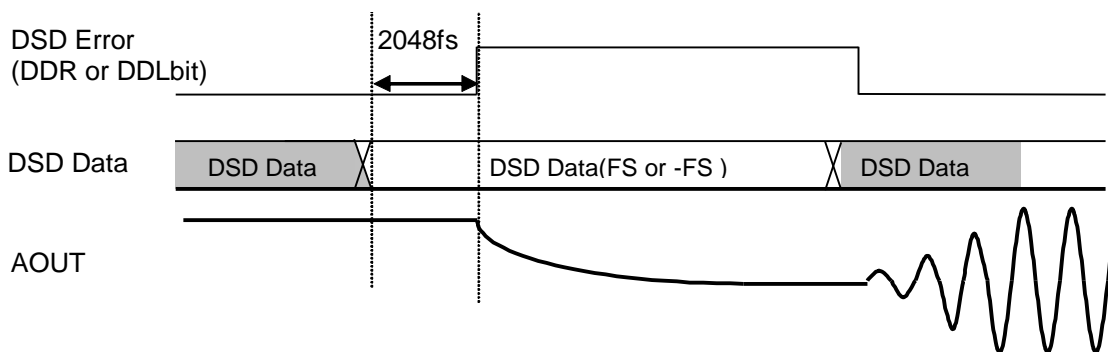


Figure 10. DSD FS 検出時のアナログ出力波形(DSDM bit=“0”の時)

## ■ オーディオインタフェースフォーマット

### [1] PCM mode

オーディオデータはBICKとLRCKを使ってSDATAから入力されます。8種類のデータフォーマット (Table 22)は、DIF2-0 pin (パラレルモード) または、DIF2-0 bit (シリアルモード) で選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりでラッチされます。Mode 2を16ビット、20ビットで使った場合はデータの無いLSBには“0”を入力して下さい。

Mode	DIF2	DIF1	DIF0	Input Format	BICK	Figure
0	0	0	0	16bit後詰め	$\geq 32fs$	Figure 11
1	0	0	1	20bit後詰め	$\geq 48fs$	Figure 12
2	0	1	0	24bit前詰め	$\geq 48fs$	Figure 13 (default)
3	0	1	1	24bit I <sup>2</sup> S互換	$\geq 48fs$	Figure 14
4	1	0	0	24bit後詰め	$\geq 48fs$	Figure 12
5	1	0	1	32bit後詰め	$\geq 64fs$	Figure 15
6	1	1	0	32bit前詰め	$\geq 64fs$	Figure 16
7	1	1	1	32bit I <sup>2</sup> S互換	$\geq 64fs$	Figure 17

Table 20. Audio Interface Format

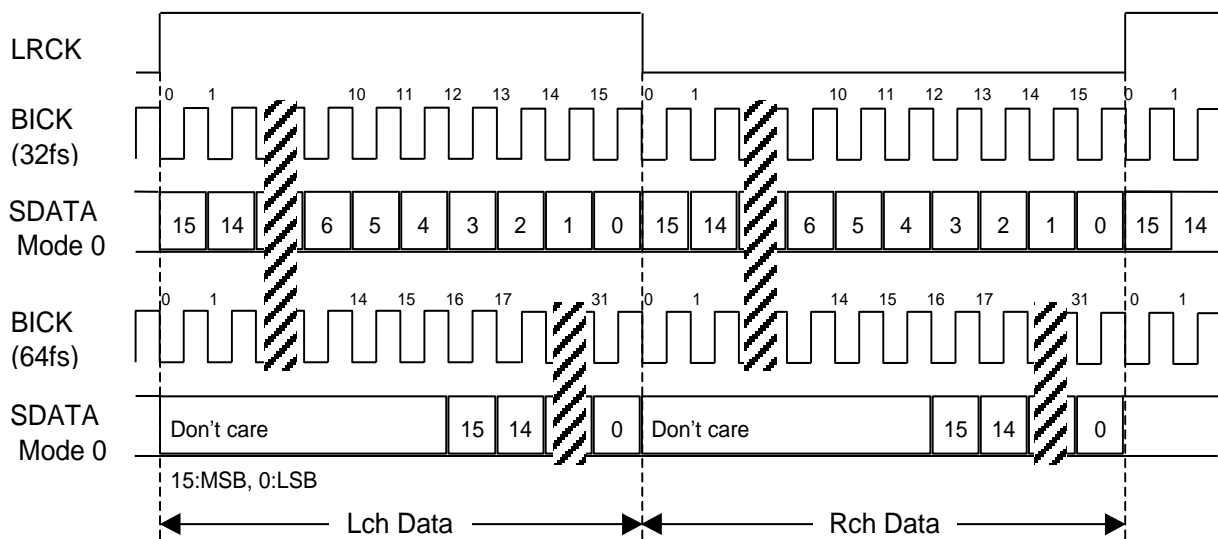


Figure 11. Mode 0 Timing

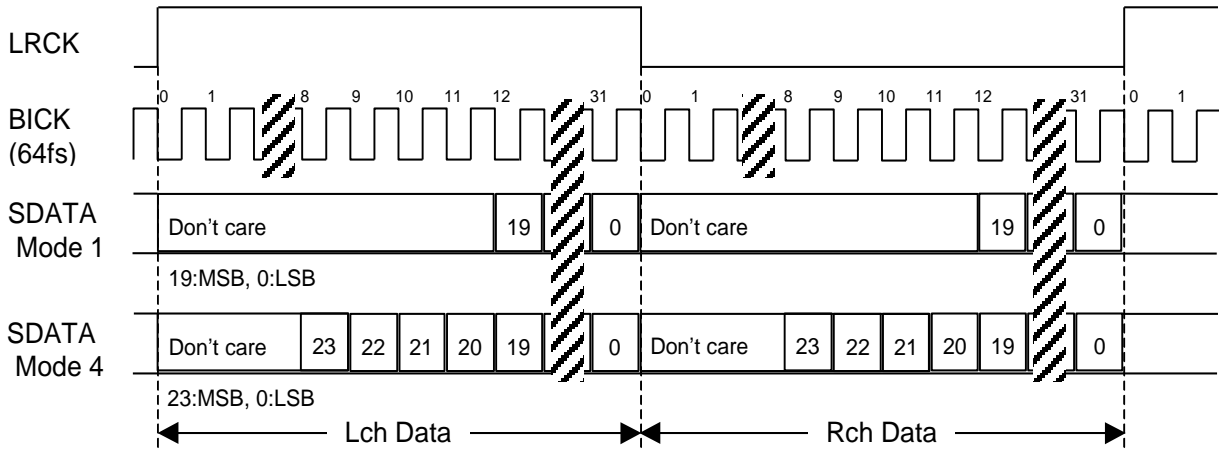


Figure 12. Mode 1/4 Timing

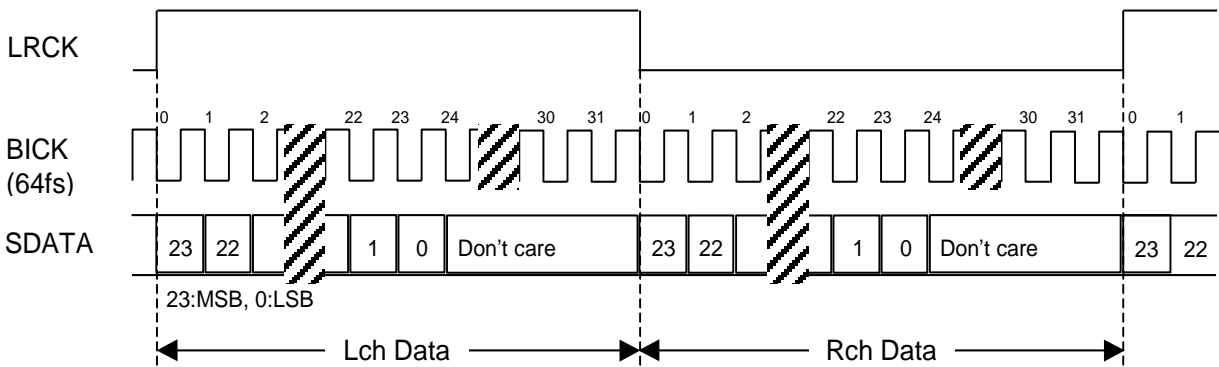


Figure 13. Mode 2 Timing

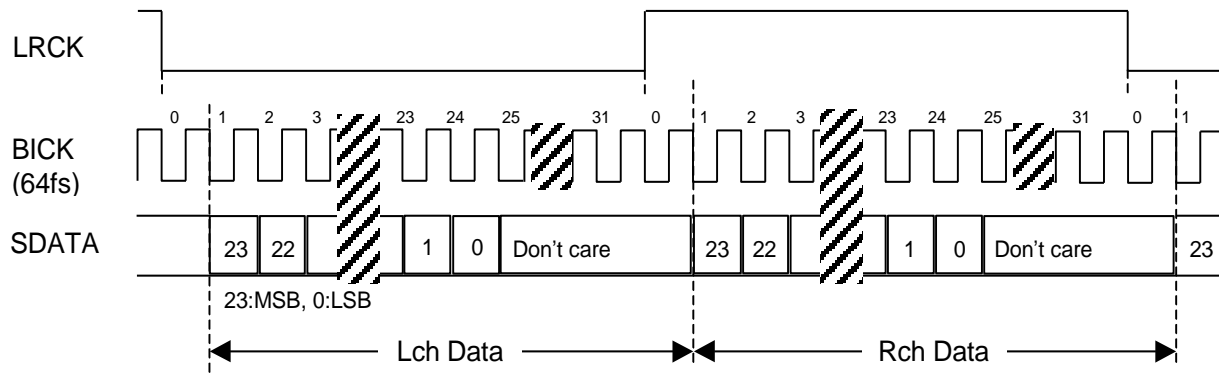


Figure 14. Mode 3 Timing

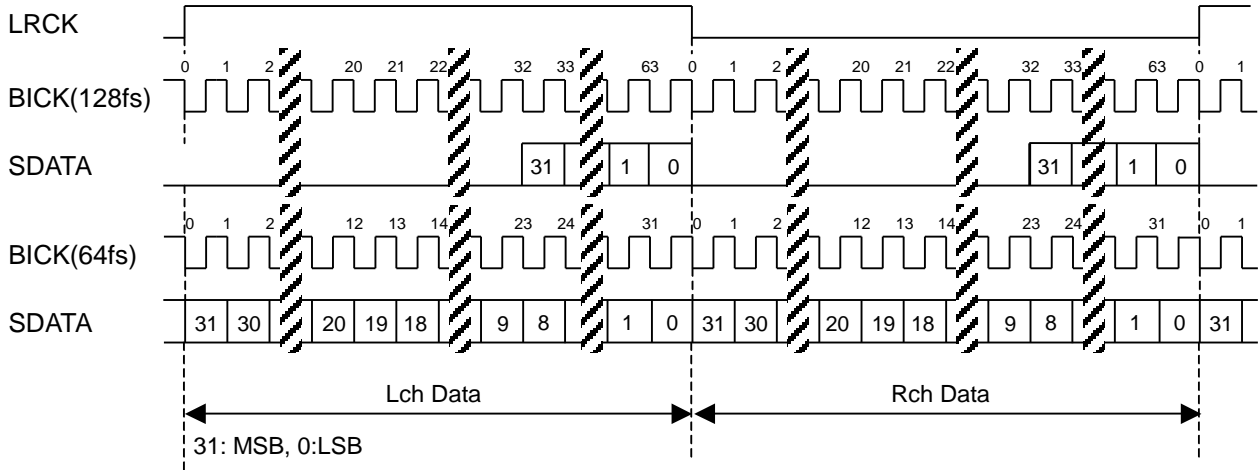


Figure 15. Mode 5 Timing

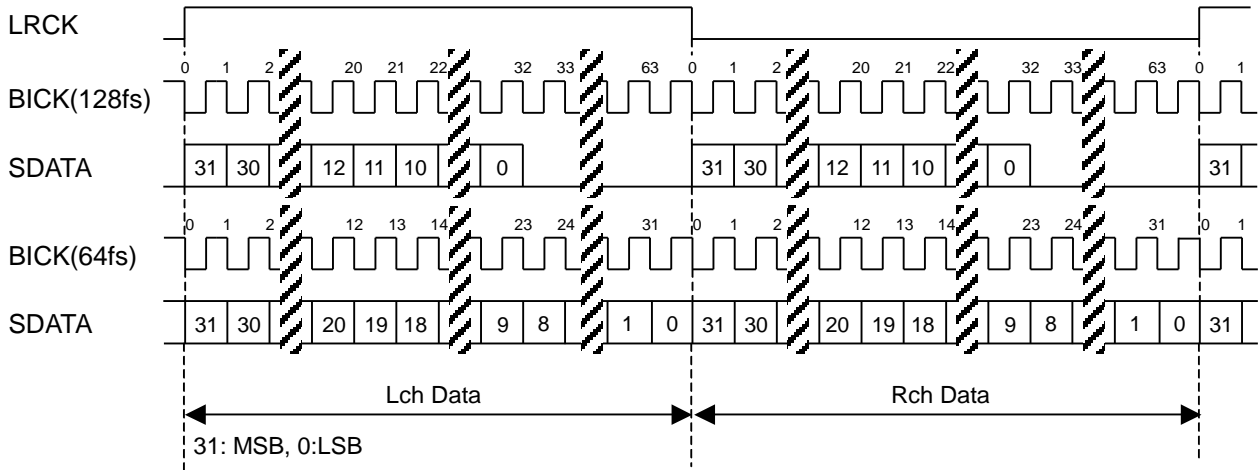


Figure 16. Mode 6 Timing

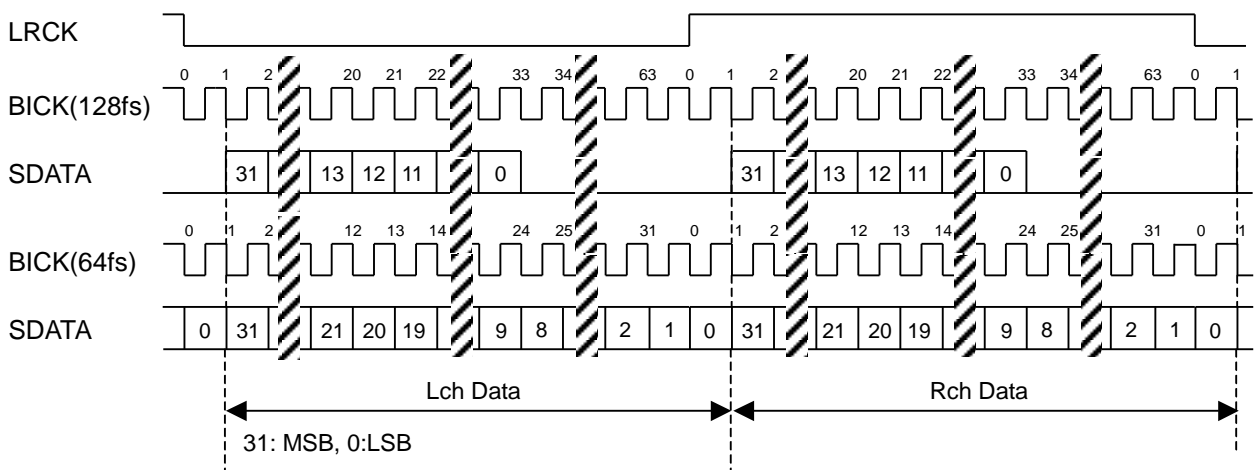


Figure 17. Mode 7 Timing

**[2] DSD Mode**

DSDデータ入力の場合は、DIF2-0 pin及びDIF2-0 bitは無効です。DCLK周波数は64fs, 128fs, 256fsと可変です。DCLKの極性はDCKB bitで反転することが可能です。Phase Modulationは256fs Modeは対応していません。

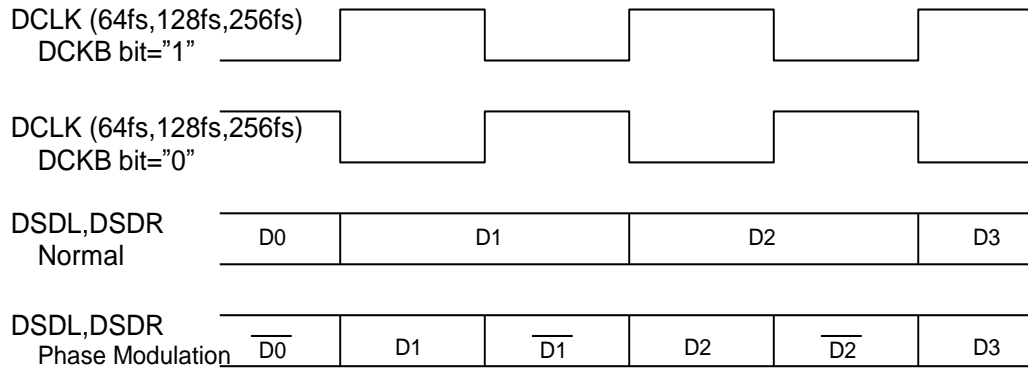


Figure 18. DSD Mode Timing

### [3] 外部デジタルフィルタモード (EX DF I/F Mode)

下記表の、DWはWCK1周期中のBCKの個数です。

オーディオデータはMCLK, BCK及びWCKを使ってDINL, DINRから入力されます。3種類のデータフォーマット(Table 22)がDIF2-0bitで選択できます。データはBCKの立ち上がりでラッチされます。BCKにはMCLKと同じクロックを入力してください。BCK, MCLKはバーストしたものを入力しないでください。各スピードでのMCLKとBCKの周波数はTable 23で示される周波数を外部から入力してください。

Sampling Speed[kHz]	MCLK&BCK [MHz]						WCK	ECS
	128fs	192fs	256fs	384fs	512fs	768fs		
44.1(30~48)	N/A	N/A	N/A	N/A	22.5792	33.8688	16fs	0 (default)
	N/A	N/A	N/A	N/A	32	48	DW	
44.1(30~48)	N/A	N/A	11.2896	16.9344	N/A	33.8688	8fs	1
	N/A	N/A	32	48	N/A	96	DW	
96(54~96)	N/A	N/A	24.576	36.864	N/A	N/A	8fs	0
	N/A	N/A	32	48	N/A	N/A	DW	
96(54~96)	12.288	18.432	N/A	36.864	N/A	N/A	4fs	1
	32	48	N/A	96	N/A	N/A	DW	
192(108~192)	24.576	36.864	N/A	N/A	N/A	N/A	4fs	0
	32	48	N/A	N/A	N/A	N/A	DW	
192(108~192)	N/A	36.864	N/A	N/A	N/A	N/A	2fs	1
	N/A	96	N/A	N/A	N/A	N/A	DW	

Table 21. System Clock Example (EX DF I/F Mode) (N/A: Not available)

Mode	DIF2	DIF1	DIF0	Input Format
0	0	0	0	16bit後詰め
1	0	0	1	N/A
2	0	1	0	N/A
3	0	1	1	N/A
4	1	0	0	24bit後詰め
5	1	0	1	32bit後詰め (default)
6	1	1	0	N/A
7	1	1	1	N/A

Table 22. Audio Interface Format (EX DF I/F Mode) (N/A: Not available)

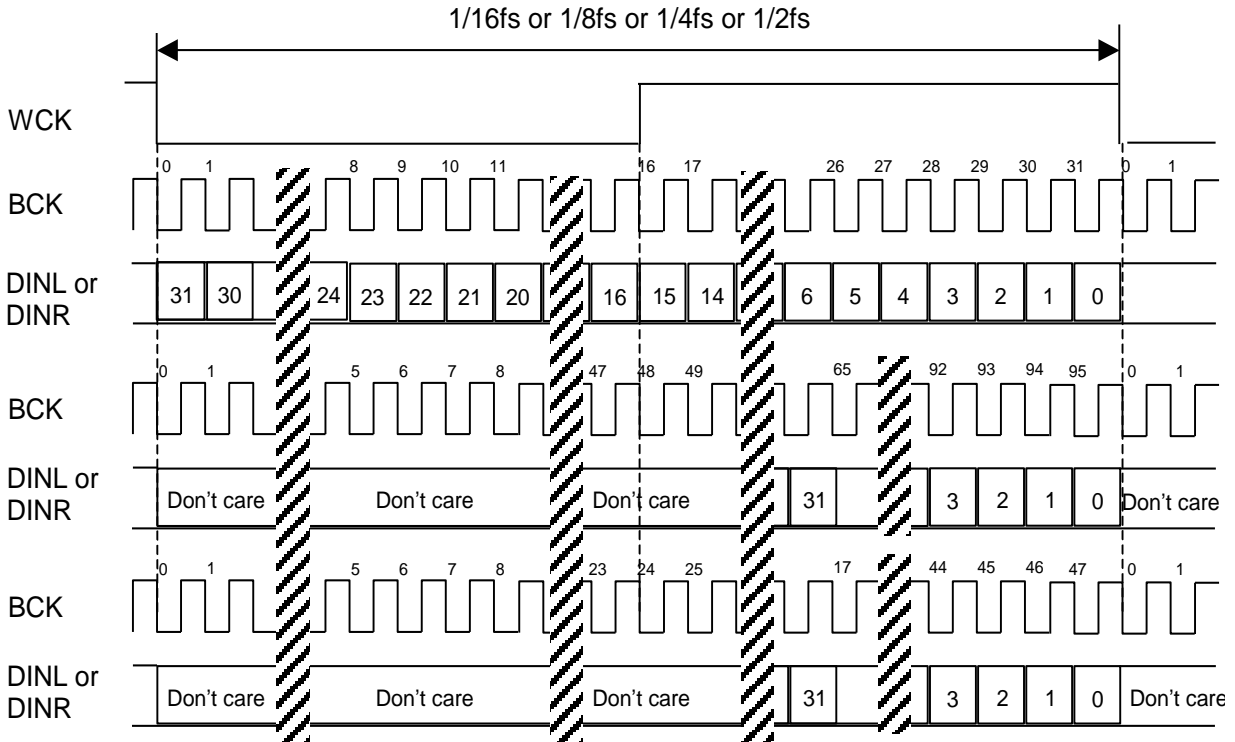


Figure 19. EX DF I/F Mode Timing

■ D/A変換モード切り替えタイミング

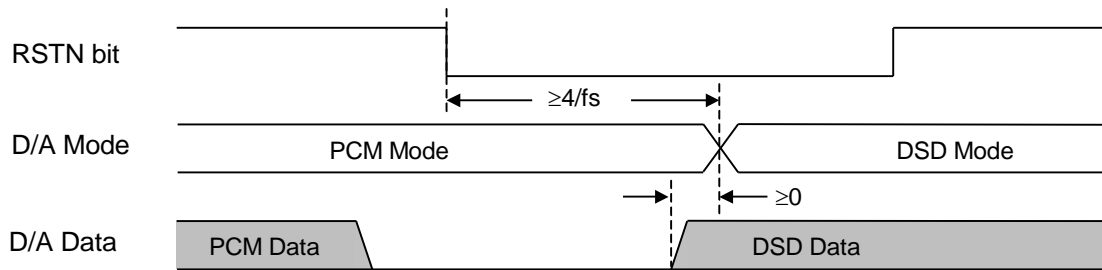


Figure 20. D/A Mode Switching Timing (PCM to DSD)

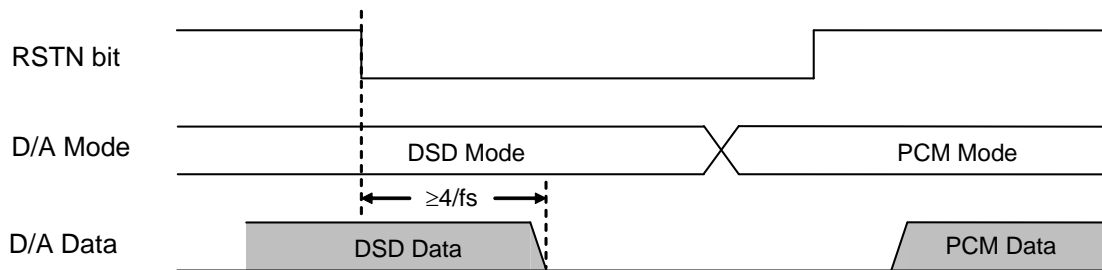


Figure 21. D/A Mode Switching Timing (DSD to PCM)

Note. DSD Mode時は25%から75%デューティを信号レンジとします。SACDフォーマットブック(Scarlet Book)では、DSD信号のピークレベルがこのデューティを越えることは推奨されていません。

## ■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 $\mu$ s特性)を内蔵しています。256fs/384fs と128fs/192fs の時にはディエンファシスフィルタはOFFです。DSD Mode時にはDEM1-0 bitは無効です。PCM ModeとDSD Modeを切り替えても設定値は保持されます。

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

(default)

Table 23. De-emphasis Control

## ■ 出力ボリューム (PCM, DSD)

AK4490はMUTEを含む0.5dBステップ、256レベルのチャンネル独立デジタル出力ボリューム(ATT)を内蔵しています。このボリュームはDACの前段にあり、入力データを0dBから-127dBまでアテネーション、またはミュートします。設定値間の遷移はソフト遷移です。従って、遷移中にスイッチングノイズは発生しません。FFH (0dB)から00H (MUTE)までには7424/fsかかります。イニシャルリセットするとアテネーションレベルはFFHに初期化されます。PCMモードとDSDモードを切り替えてもレジスタ設定値は保持されます。

Sampling Speed	遷移時間
	0dB to MUTE
fs=44.1kHz	168.3ms
fs=96kHz	77.3ms
fs=192kHz	38.6ms

Table 24. ATT Transition Time



### ■ ゼロ検出機能 (PCM, DSD)

AK4490はチャンネル独立のゼロ検出機能を持ちます。各チャンネルの入力データが8192回連続して“0”の場合、各チャンネルのDZF pinが独立に“H”になります。その後、各チャンネルの入力データが“0”でなくなると対応するチャンネルのDZF pinが“L”になります。RSTN bitが“0”の場合、両チャンネルのDZF pinが“H”になります。RSTN bitが“1”になった後、各チャンネルの入力データが“0”でなくなると対応するチャンネルのDZF pinが4～5LRCK後に“L”になります。また、DZFM bitを“1”にすると両チャンネルの入力データが8192回連続して“0”の場合のみ、両チャンネルのDZF pinが“H”になります。ゼロ検出機能はDZFE bitで無効にできます。この時、両チャンネルのDZF pinは常に“L”です。DZF pinの極性はDZFB bitで反転することが可能です。

DZFE	DZFB	Data	DZF-pin
0	0	-	L
	1	-	H
1	0	not zero	L
		Zero detect	H
	1	not zero	H
		Zero detect	L

Table 25. Zero Detect Function and DZF Pin Output

### ■ モノラル出力機能(PCM, DSD, Ex DF I/F)

AK4490はMONO bitとSELLR bitで入力と出力の組み合わせを変更できます。この機能はすべてのオーディオフォーマットで使用できます。

MONO bit	SELLR bit	Lch Out	Rch Out
0	0	Lch In	Rch In
0	1	Rch In	Lch In
1	0	Lch In	Lch In
1	1	Rch In	Rch In

Table 26. MONO Mode Output Select

### ■ 音質調整機能(PCM, DSD, Ex DF I/F)

AK4490は好みにより、SC1-0 bitで音質をコントロールできます。

SC1	SC0	Mode	
0	0	Sound Setting 1	(default)
0	1	Sound Setting 2	
1	0	Sound Setting 3	
1	1	Reserved	

Table 27. SC1-0 bits Control

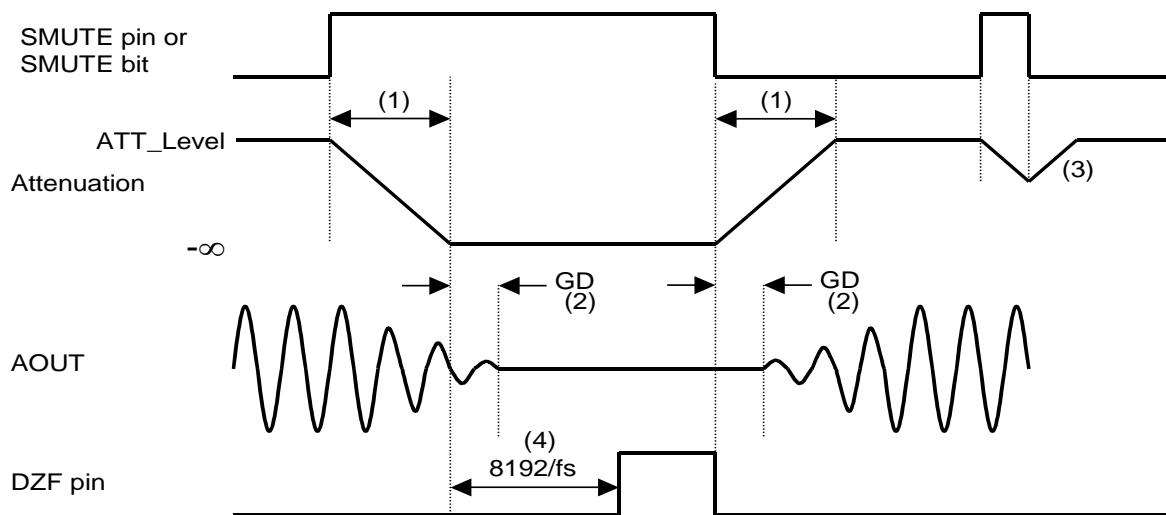
## ■ 特性(DSD)

(Ta=25°C; AVDD=DVDD=3.3V; AVSS=DVSS=VSSL/R=0V; VREFHL/R=VDDL/R=5V, VREFLL/R=VSSL/R=0V; Input data = 24bit;  $R_L \geq 1k\Omega$ ; Signal Frequency = 1kHz; Sampling Frequency = 44.1kHz; Measurement bandwidth = 20Hz ~ 20kHz; External Circuit: [Figure 41](#); unless otherwise specified.)

Dynamic Characteristics				
THD+N	DSD data stream 2.8224MHz	0dBFS	-110	dB
	DSD data stream 5.6448MHz	0dBFS	-110	dB
	DSD data stream 11.2896MHz	0dBFS	-110	dB
S/N (A-weighted, Normal path)		Digital "0"	120	dB
DC Accuracy				
Output Voltage (Normal path )			$\pm 2.8$	V <sub>pp</sub>
Output Voltage (Volume Bypass )			$\pm 1.87$	V <sub>pp</sub>

## ■ ソフトミュート機能 (PCM, DSD)

ソフトミュートはデジタル的に実行されます。SMUTE pinを“H”またはSMUTE bitを“1”にするとその時点のATT設定値からATT設定値×ATT遷移時間で入力データが $-\infty$  (“0”)までアテネーションされます。SMUTE pinを“L”またはSMUTE bitを“0”にすると $-\infty$ 状態が解除され、 $-\infty$ からATT設定値×ATT遷移時間でATT設定値まで復帰します。ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



注：

- (1) ATT設定値×ATT遷移時間。例えば、Normal Speed Mode時、ATT設定値が“255”の場合は7424LRCKサイクルです。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (4) 各チャンネルの入力データが8192回連続して“0”の場合、各チャンネルのDZF pinは“H”になります。その後、各チャンネルの入力データが“0”でなくなると、対応するチャンネルのDZF pinが“L”になります。

Figure 22. Soft Mute Function

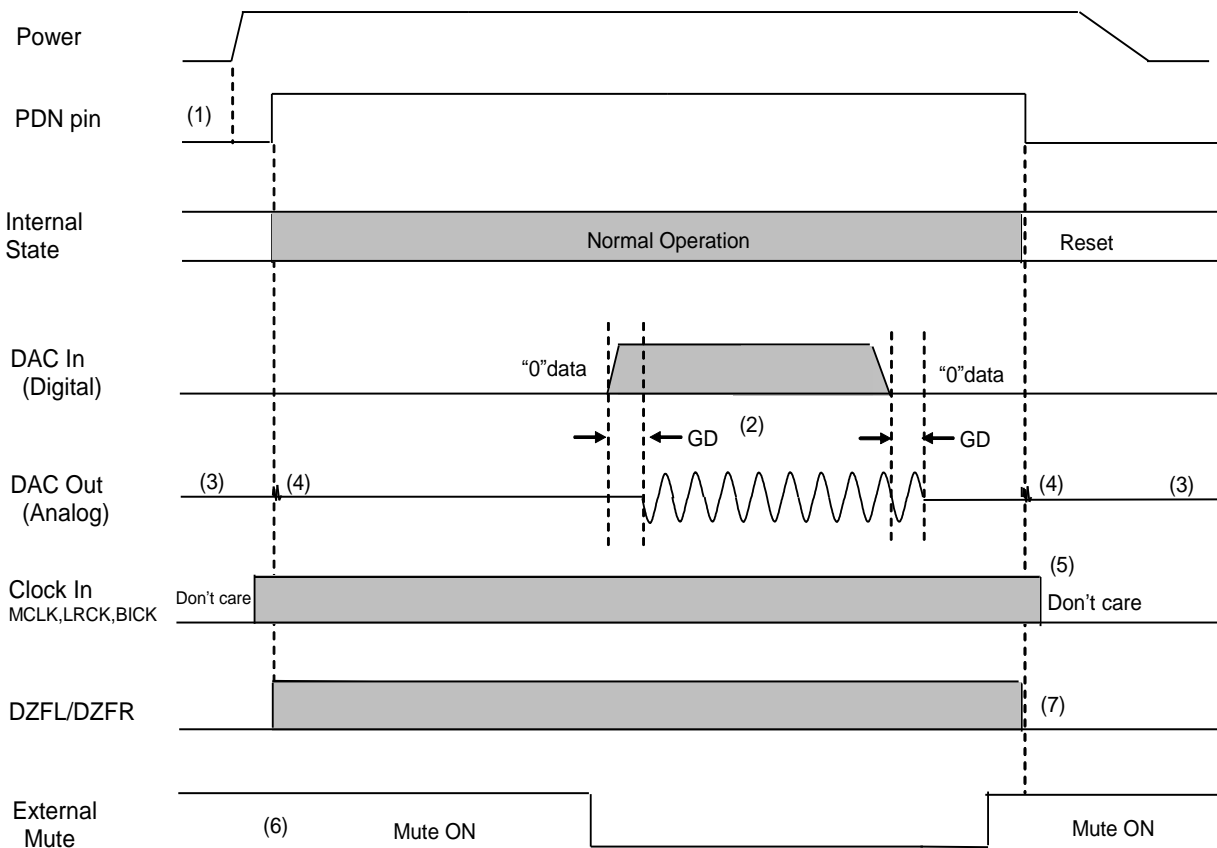
## ■ システムリセット

電源ON時には、PDN pinに一度“L”を入力してリセットして下さい。アナログ部はMCLK入力によりパワーダウン状態が解除され、デジタル部は内部カウンタがMCLKを4/fsカウントした後、パワーダウン状態が解除されます。

### ■ パワーON/OFF タイミング

AK4490はPDN pinを“L”にすることでレジスタがリセットされパワーダウンモードに入ります。アナログ出力はフローティング(Hi-Z)です。PDNのエッジでクリックノイズが起こります。クリックノイズがシステムに影響する場合は、アナログ出力を外部でミュートしてください。

RSTN bit “0”でDAC部分をリセットすることが出来ます。この場合レジスタは初期化されず、アナログ出力はVCML/Rになります。RSTNのエッジで起こるクリックノイズが、システムに影響する場合は、アナログ出力を外部でミュートしてください。



#### Notes:

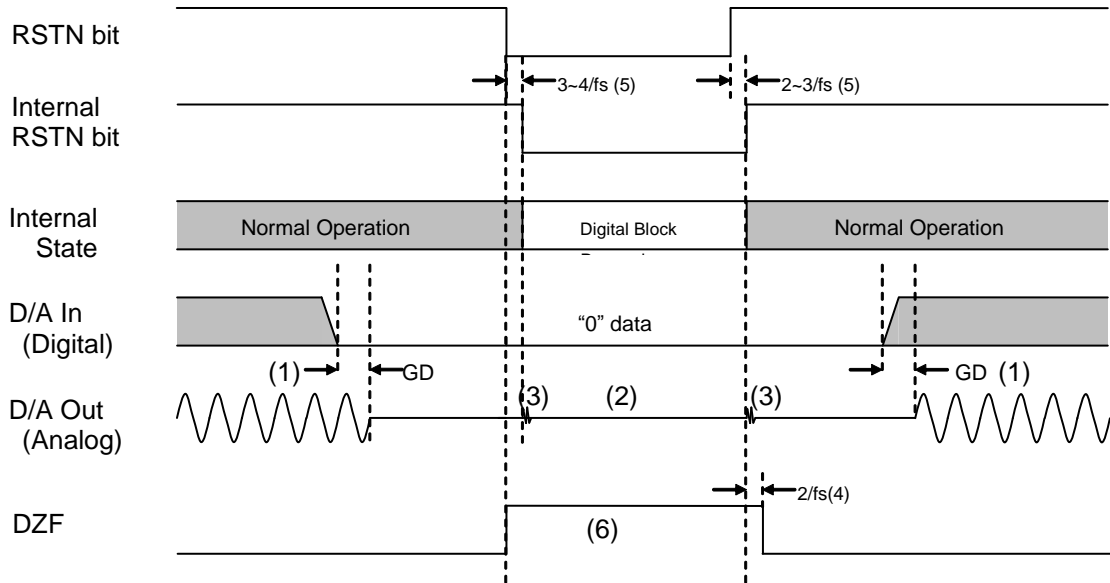
- (1) 電源立ち上げは、デジタル、アナログ同時か3.3V系電源(DVDD, AVDD)を立ち上げてから、5V系電源(VDDL/R, VREFHL/R)を立ち上げるようにしてください。  
電源投入後PDN pinを“L”からスタートし150ns以上の間、PDN pinを“L”にして下さい。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
- (3) パワーダウン時、アナログ出力はHi-Zです。
- (4) PDN信号のエッジ(“↓↑”)をクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (5) パワーダウン状態(PDN pin = “L”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (6) クリックノイズ(3)が問題になる場合はアナログ出力を外部でミュートして下さい。タイミング例を示します。
- (7) パワーダウン状態(PDN pin = “L”)では、DZFL/R pinは“L”になります。

Figure 23. Power-down/up Sequence Example

## ■ リセット機能

### (1) RSTN bitによるリセット

RSTN bitを“0”にするとDACはリセットされますが、内部レジスタは初期化されません。この時、アナログ出力はVCML/R電圧になり、DZFL/DZFR pinは“H”になります。Figure 24にRSTN bitによるリセットシーケンスを示します。



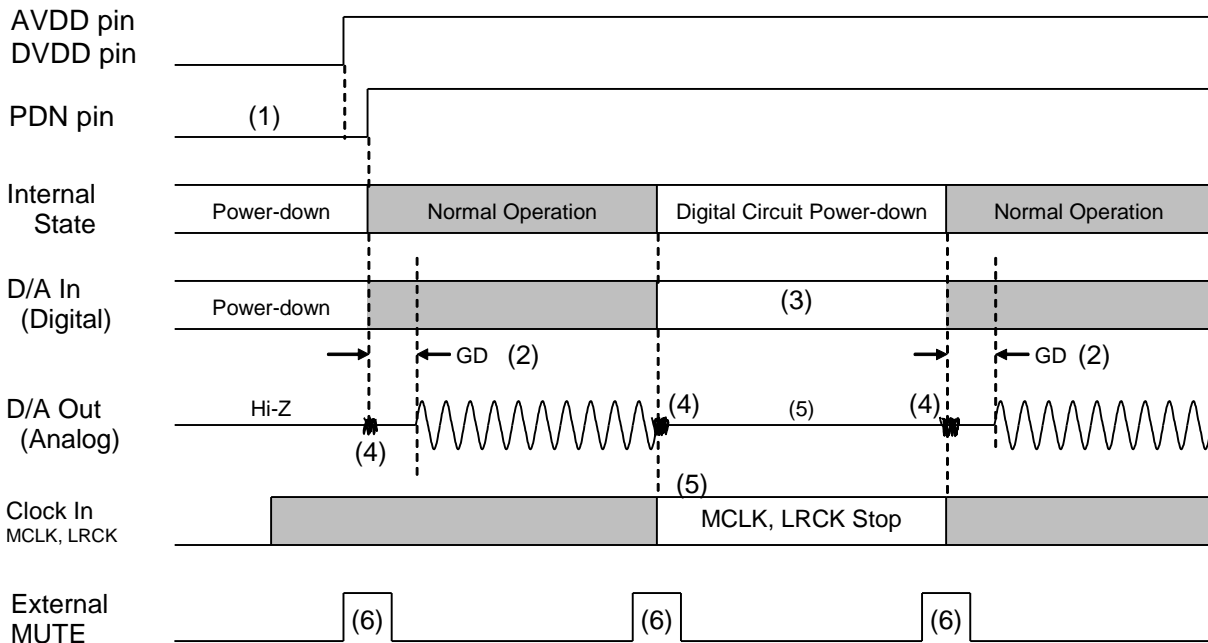
注：

- (1) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (2) RSTN bit = “0”時アナログ出力はVCOM電圧です。
- (3) 内部RSTN信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) DZF pinはRSTN bitの立ち下がりエッジで“H”になり、LSI内部のRSTN bitの立ち上がりエッジの  $2/f_s$ 後“L”になります。
- (5) RSTN bitを書き込んでからLSI内部のRSTN bitが変化するまでの立ち下がり時に  $3 \sim 4/f_s$  かかります。また、立ち上がり時に  $2 \sim 3/f_s$  かかります。
- (6) クリックノイズ(3)又はHi-Z出力(2)が問題になる場合はアナログ出力を外部でミュートしてください。

Figure 24. リセットタイミング例

## (2) MCLK停止またはLRCK/WCK停止によるリセット

PCM modeで動作中 (PDN pin = “H”) にMCLKまたはLRCKが止まった場合は、AK4490は自動的にリセット状態になり、アナログ出力はフローティング状態(Hi-Z)になります。MCLKとLRCKを再入力後、リセット状態が解除され動作を再開します。MCLK またはLRCKを止めているときは、ゼロ検出機能は動作しません。DSD modeで動作中はMCLKが止まった場合、リセット状態になります。外部デジタルフィルタモードで動作中はMCLK、WCKが止まった場合、リセット状態になります。



## Notes:

- (1) 電源投入後PDN pinを“L”からスタートし150ns以上の間、PDN pinを“L”にして下さい。
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) デジタルデータの入力を止めることができます。この区間に“0”データを入力しておくことで、MCLK, LRCK再入力後のクリックノイズを軽減できます。
- (4) PDN pinの立ち上がり(“↑”)及びMCLKの入力から、3~4LRCK以内にクリックノイズが出力されま。このノイズはデータが“0”の場合でも出力されます。
- (5) リセット状態(MCLKまたはLRCK/WCK停止)では、各クロック入力(MCLK, BICK, LRCK/WCK)をとめることができます。
- (6) クリックノイズ(4)が問題になる場合はアナログ出力を外部でミュートしてください。タイミング例をFigure 25に記します

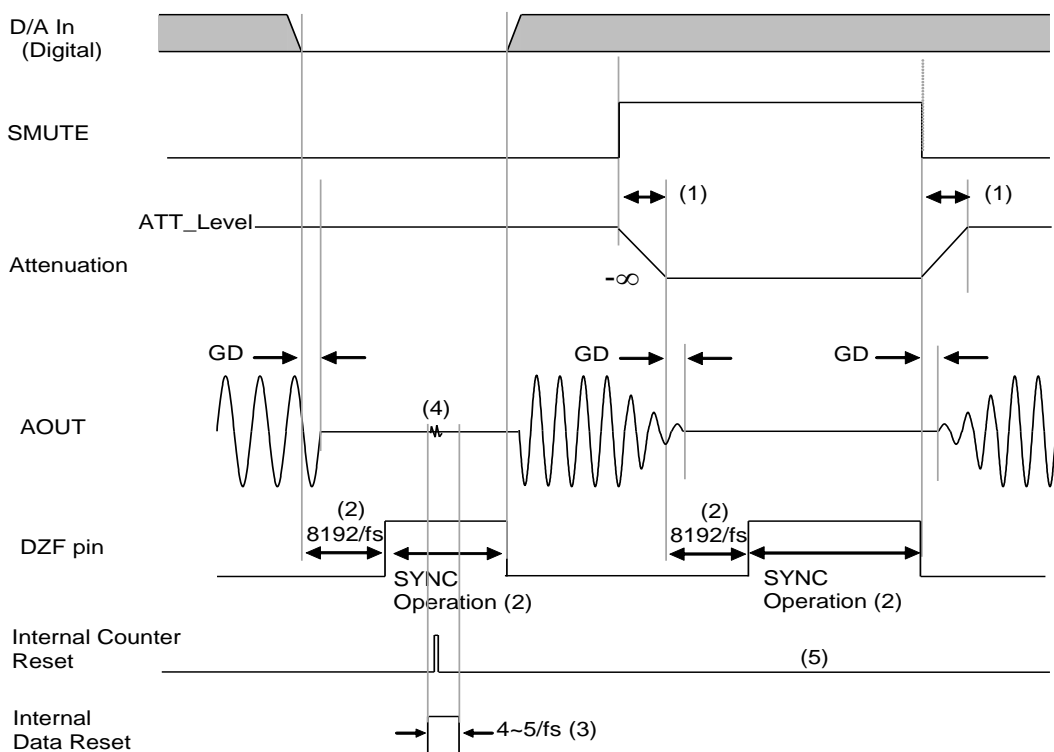
Figure 25. リセットタイミング例

## ■ 同期化機能

AK4490は内部のカウンタを外部クロックのエッジから3/256fsの範囲内になるよう、内部カウンタをリセットする機能を備えています。PCM ModeもしくはEXDF Modeで動作中にSYNCE-bitを”1”に設定すると、両方のチャンネルの入力データが8192回連続して”0”の場合、もしくはRSTN bit=”0”の場合に、クロック同期化機能が有効になります。PCM Mode時はLRCKの立下りエッジ(データフォーマットI2S Mode時は立上りエッジ)に同期させ、EXDF Mode時はWCKの立下りエッジに同期させます。このとき、アナログ出力はVCML/R電圧になります。Figure 26に入力データが8192回連続して”0”の場合の同期化シーケンス、Figure 27にRSTN bitを用いた同期化シーケンスを示します。

### (1) 入力データが8192回連続して”0”の場合の同期化

入力データが8192回連続して”0”の場合、もしくはアッテネーション設定によりデータが8192回連続して”0”になった場合、DZFL/DZFR pinは”H”になり同期化機能が有効になります。なお、同期化機能は両方のチャンネルのデータが8192回連続して”0”の場合になると有効になります。Figure 26に入力データが8192回連続して”0”の場合の同期化シーケンスを示します。



注：

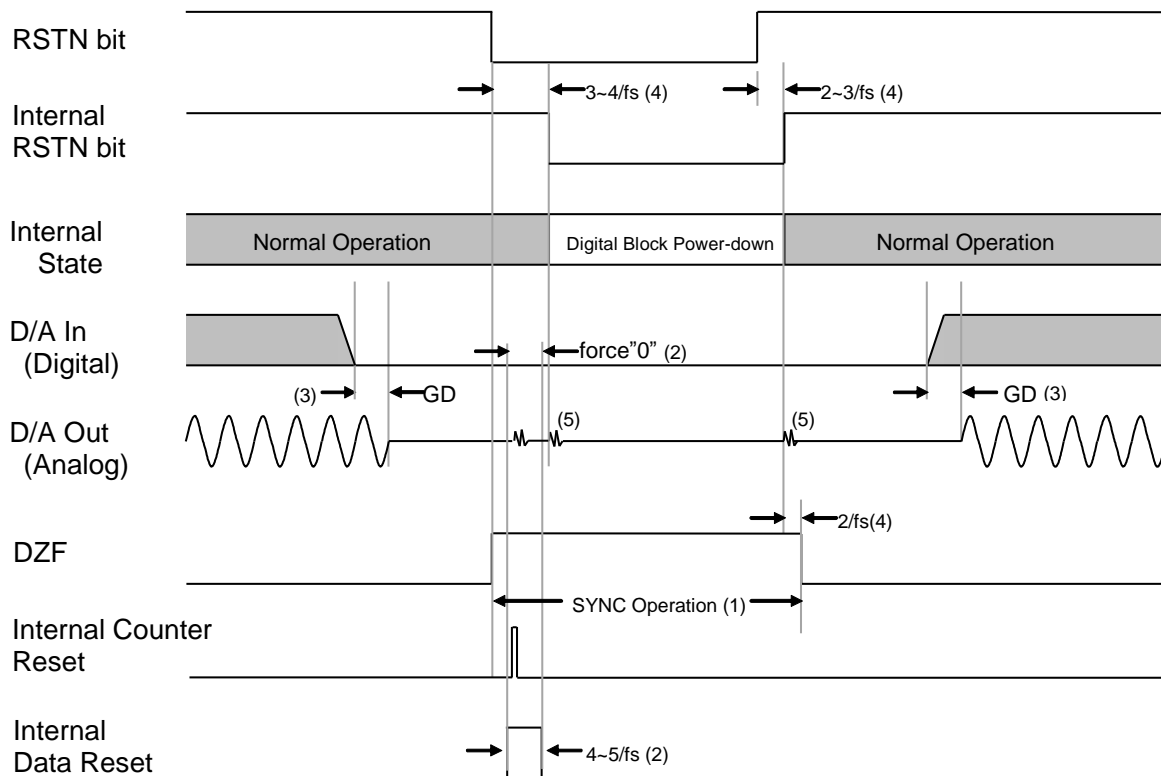
- (1) 内部データのATT遷移時間については、40ページの出力量を参照してください。
- (2) 両方のチャンネルの入力データが8192回連続して”0”の場合、両方のチャンネルのDZF pinが”H”になり、同期化機能は有効になります。
- (3) 内部カウンタリセット時は4~5fsの間、内部データを強制的に”0”に固定します。
- (4) 内部カウンタリセット時にクリックノイズが出力されることがあります。このノイズはデータが”0”の場合でも出力されます。クリックノイズが問題になる場合はアナログ出力を外部でミュートしてください。
- (5) 内部クロックと外部クロック入力同期している場合は、同期化機能が有効であってもカウンタリセットはされません。

Figure 26. 入力データが8192回連続して”0”の場合の同期化シーケンス

## (2) RSTN-bitを用いた同期化シーケンス

RSTN bitを“0”にするとDZFL/DZFR pinは“H”になり、その後3~4/fs後にDACがリセットされアナログ出力がVCML/R電圧になります。同期化機能は両方のDZFL/DZFR pinが“H”になると有効になります。

Figure 27にRSTN-bitを用いた同期化シーケンスを示します。



注：

- (1) DZF pinはRSTN bitの立ち下がりエッジで“H”になり、LSI内部のRSTN bitの立ち上がりエッジの2/fs後“L”になります。この間、同期化機能は有効になります。
- (2) 内部カウンタリセット時は4~5/fsの間、内部データを強制的に“0”に固定します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持つため、RSTN bitに“0”を書き込む際は群遅延期間以上の間無入力状態にしておくことを勧めます。
- (4) RSTN bitを書き込んでからLSI内部のRSTN信号が変化するまでの立ち下がり時に3~4/fs かかります。また、立ち上がり時に3~4/fsかかります。同期化機能はRSTN bit=“0”の書き込みと同時に有効になるため、LSI内部のRSTN信号が“1”に変化する前に内部カウンタがリセットされる場合があります。
- (5) 内部RSTN信号のエッジ(“↓↑”)や内部カウンタリセット時にクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。クリックノイズが問題になる場合はアナログ出力を外部でミュートしてください。

Figure 27. RSTN-bitを用いた同期化シーケンス



## ■ レジスタコントロールインタフェース

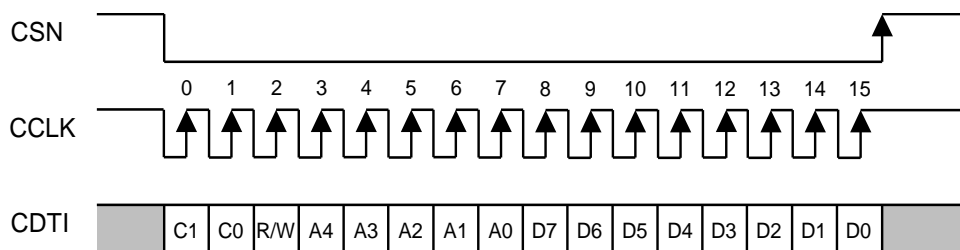
### (1) 3線シリアルコントロールモード (I2C pin = “L”)

AK4490のいくつかの機能はピン(パラレルモード)とレジスタ(シリアルモード)のどちらでも設定できますが、パラレルモード時にはレジスタ設定は無効、シリアルモード時にはピン設定は無効になります。PSN pinの設定を変更した場合は、PDN pinでAK4490をリセットして下さい。シリアルモードではPSN pinを“L”にすることによってイネーブルされます。このモードでは3線式シリアルI/F pin: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address (2bit, C1/0), Read/Write (1bit, “1”固定, Write only), Register address (MSB first, 5bit)とControl data (MSB first, 8bit)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。

Function	Parallel Control Mode	Serial Control Mode
Audio Format	Y	Y
Auto Setting Mode	Y	Y
De-emphasis	Y	Y
SMUTE	Y	Y
DSD Mode	-	Y
EX DF I/F	-	Y
Zero Detection	-	Y
Sharp Roll off filter	Y	Y
Slow Roll off filter	Y	Y
Minimum delay Filter	Y	Y
Digital Attenuator	-	Y

Table 28. Function List (Y: Available, -: Not available)

PDN pinを“L”にすると内部レジスタ値が初期化されます。また、シリアルモードではRSTN bitに“0”を書き込むと内部タイミング回路がリセットされます。但し、このときレジスタの内容は初期化されません。



C1-C0: Chip Address (C1 bit =CAD1 pin, C0 bit =CAD0 pin)  
 R/W: READ/WRITE (Fixed to “1”, Write only)  
 A4-A0: Register Address  
 D7-D0: Control Data

Figure 28. Control I/F Timing

\*3線シリアルモードではデータ読み出しをサポートしません。

\*PDN pin = “L”時、コントロールレジスタへの書き込みはできません。

\*CSNが“L”期間中にCCLKの“↑”が15回以下または17回以上の場合にはデータは書き込まれません。

(2) I<sup>2</sup>Cバスコントロールモード (I2C pin = “H”)

AK4490のI<sup>2</sup>Cバスモードのフォーマットは、高速モード(max: 400kHz, Ver1.0)に対応しています。

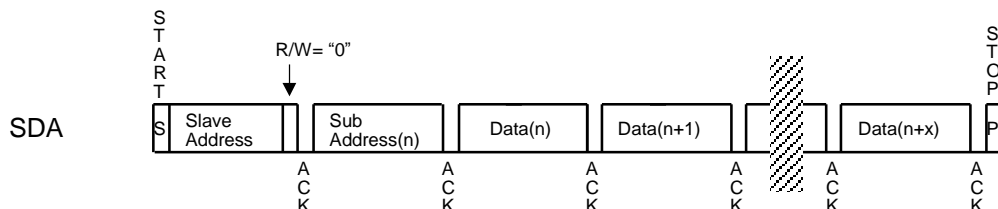
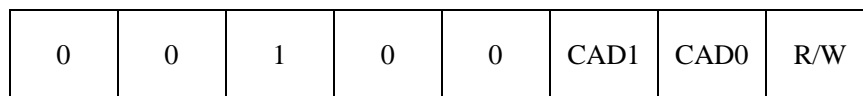
## (2)-1. WRITE命令

I<sup>2</sup>Cバスモードにおけるデータ書き込みシーケンスはFigure 29に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます(Figure 35)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7bitから構成され、8bit目にはデータ方向ビット(R/W)が続きます。上位5bitは“00100”固定、次の2bitはアクセスするICを選ぶためのアドレスビットで、CAD1 pin, CAD0 pinにより設定されます(Figure 30)。アドレスが一致した場合、AK4490は確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(Figure 36)。R/Wビットが“0”の場合はデータ書き込み、R/Wビットが“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8bit、MSB firstで構成され、上位3bitは“0”固定です(Figure 31)。第3バイト以降はコントロールデータです。コントロールデータは8bit、MSB firstで構成されます(Figure 32)。AK4490は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(Figure 35)。

AK4490は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“09H”を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(Figure 37)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

Figure 29. I<sup>2</sup>Cバスモードのデータ書き込みシーケンス

(CAD0はpinにより設定)

Figure 30. 第1バイトの構成

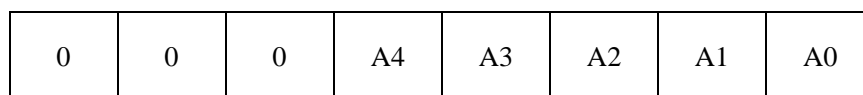


Figure 31. 第2バイトの構成

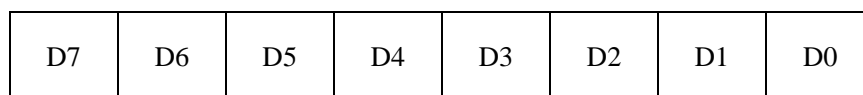


Figure 32. 第3バイト以降の構成

## (2)-2. READ命令

R/Wビットが“1”の場合、AK4490はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“09H”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4490はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

## (2)-2-1. カレントアドレスリード

AK4490は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4490はREAD命令のスレーブアドレス(R/W=“1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを読み出したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

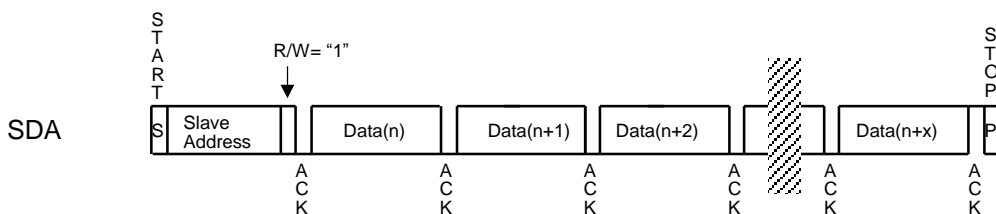


Figure 33. CURRENT ADDRESS READ 命令

## (2)-2-2. ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit=“1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W=“0”)、読み出すアドレスを順次入力します。AK4490がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit=“1”)を入力します。AK4490はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを読み出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタがアックノリッジを生成せず停止条件を送ると、READ動作は終了します。

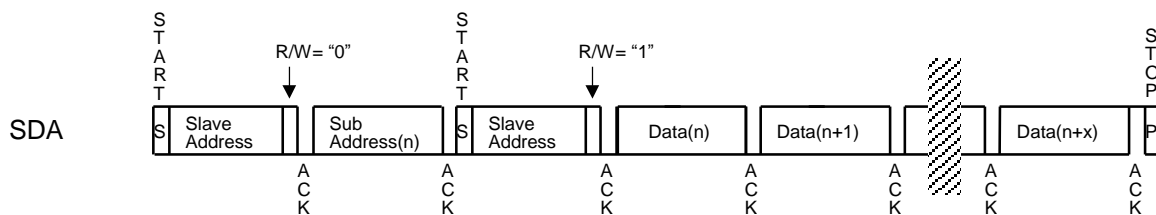


Figure 34. RANDOM ADDRESS READ 命令

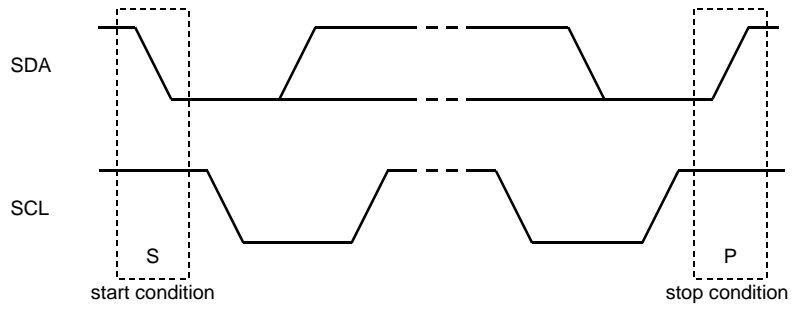


Figure 35. 開始条件と停止条件

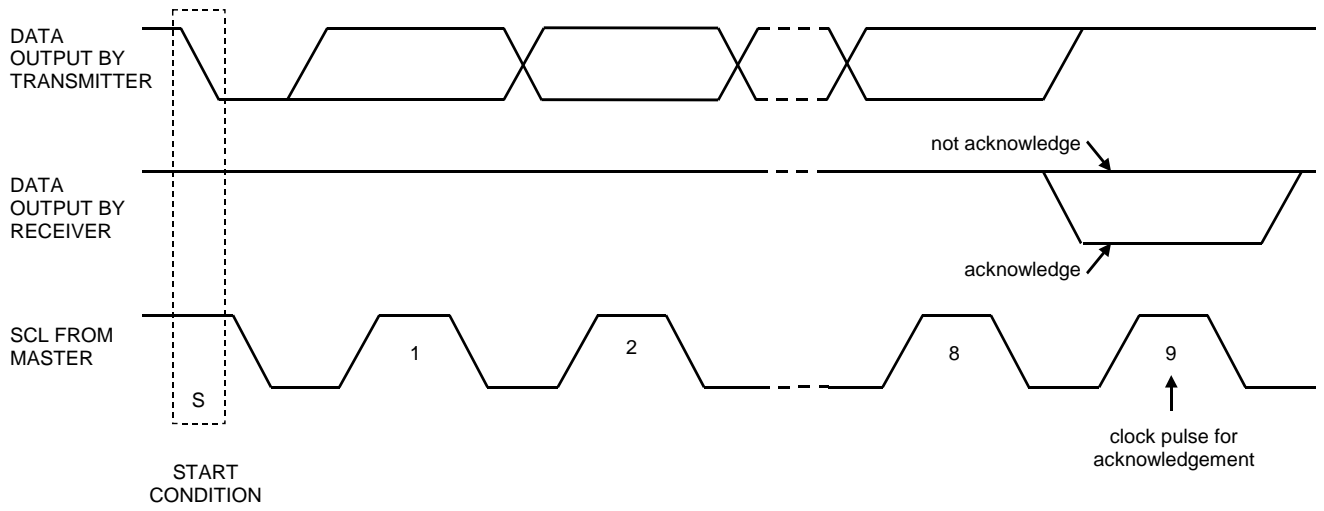


Figure 36. I<sup>2</sup>Cバスでの確認応答

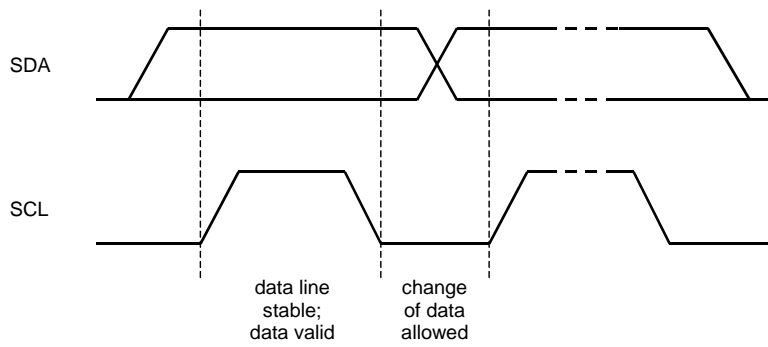


Figure 37. I<sup>2</sup>Cバスでのビット転送

## ファンクションリスト

機能	デフォルト	アドレス	ビット	PCM	DSD	Ex DF I/F
Attenuation Level	0dB	03H 04H	ATT7-0	Y	Y	-
External Digital Filter I/F Mode	Disable	00H	EXDF	Y	-	Y
Ex DF I/F Mode clock setting	16fs(fs=44.1kHz)	00H	ESC	-	-	Y
Audio Data Interface Modes	24bit前詰め	00H	DIF2-0	Y	-	Y
Data Zero Detect Enable	Disable	01H	DZFE	Y	Y	-
Data Zero Detect Mode	Separated	01H	DZFM	Y	Y	-
Minimum delay Filter Enable	Sharp Roll-off Filter	01H	SD	Y	-	-
De-emphasis Response	OFF	01H	DEM1-0	Y	-	-
Soft Mute Enable	Normal Operation	01H	SMUTE	Y	Y	-
DSD/PCM Mode Select	PCM Mode	02H	DP	Y	Y	-
Master Clock Frequency Select at DSD Mode	512fs	02H	DCKS	-	Y	-
MONO mode Stereo Mode Select	Stereo	02H	MONO	Y	Y	Y
Inverting Enable of DZF	“H” active	02H	DZFB	Y	Y	-
The Data Selection of L channel and R channel	R channel	02H	SELLR	Y	Y	Y

(Y: Available, -: Not available)

Table 29. ファンクションリスト

## ■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	EXDF	ECS	0	DIF2	DIF1	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	Control4	INVL	INVR	0	0	0	0	DFS2	SSLOW
06H	Control5	DDM	DML	DMR	DMC	DMRE	0	DSDD	DSDSEL0
07H	Control6	0	0	0	0	0	0	0	SYNCE
08H	Control7	0	0	0	0	0	0	SC1	SC0
09H	Control8	0	0	0	0	0	0	DSDf	DSDSEL1

### Note:

3線シリアルコントロールモードではデータ読み出しをサポートしません。

I2Cバスコントロールモードでは読み出しをサポートします。

アドレス0AH～1FHへの書き込みは禁止です。

PDN pinを“L”にするとレジスタの内容が初期化されます。

RSTN bitに“0”を書き込むと内部タイミング回路がリセットされますが、レジスタの内容は初期化されません。

PSN pinの設定を変更した場合は、PDN pinでAK4490をリセットして下さい。

## ■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	EXDF	ECS	0	DIF2	DIF1	DIF0	RSTN
	R(I2C)/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	1	0	0

### RSTN: Internal Timing Reset

0: Reset. All registers are not initialized. (default)

1: Normal Operation

“0”で内部タイミング回路がリセットされますが、レジスタの内容は初期化されません。

PSN pin = “H”のときレジスタの内容にかかわらず、動作します。

### DIF2-0: Audio Data Interface Modes (Table 20)

初期値は“010” (Mode2: 24bit前詰め)です。

### ECS: Ex DF I/F Mode Clock Setting (Table 2)

0: WCK=768kHz mode (default)

1: WCK=384kHz mode

### EXDF: External Digital Filter I/F Mode (Serial mode only)

0: Disable: Internal Digital Filter Mode (default)

1: Enable: External Digital Filter Mode

### ACKS: Master Clock Frequency Auto Setting Mode Enable (PCM only)

0: Disable: Manual Setting Mode (default)

1: Enable: Auto Setting Mode

ACKS bitが“1”の時、サンプリング周波数とMCLK周波数は自動検出されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	DZFE	DZFM	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
	R(I2C)/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	1	0	0	0	1	0

SMUTE: Soft Mute Enable  
 0: Normal Operation (default)  
 1: DAC Outputs Soft-Muted.

DEM1-0: De-emphasis Response  
 初期値は“01” (OFF)です。

DFS1-0: Sampling Speed Control (Table 9)  
 初期値は“000” (Normal Speed)です。DFS2-0 bitを切り替えた場合、クリックノイズが発生します。

DFS2	DFS1	DFS0	Sampling Rate (fs)	
0	0	0	Normal Speed Mode	30kHz ~ 54kHz (default)
0	0	1	Double Speed Mode	54kHz ~ 108kHz
0	1	0	Quad Speed Mode	120kHz ~ 216kHz
0	1	1	Reserved	-
1	0	0	Oct Speed Mode	384kHz
1	0	1	Hexa Speed Mode	768kHz
1	1	0	Reserved	-
1	1	1	Reserved	-

Table 9. Sampling Speed (Manual Setting Mode @Serial Mode)

SD: Minimum delay Filter Enable  
 0: Traditional Filter  
 1: Short delay Filter (default)

SD	SLOW	Mode
0	0	Sharp roll-off filter
0	1	Slow roll-off filter
1	0	Short delay sharp roll off filter (default)
1	1	Short delay slow roll off filter

Table 14. Digital Filter Setting

DZFM: Data Zero Detect Mode  
 0: Channel Separated Mode (default)  
 1: Channel ANDed Mode  
 DZFM bitを“1”にすると両チャンネルの入力データが8192回連続して“0”の場合のみ、両チャンネルのDZF pinが“H”になります。

DZFE: Data Zero Detect Enable  
 0: Disable (default)  
 1: Enable  
 Zero detect function can be disabled by DZFE bit “0”. In this case, the DZF pins of both channels are always “L”.

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
	R(I2C)/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

**SLOW:** Slow Roll-off Filter Enable  
 0: Sharp Roll-off Filter (default)  
 1: Slow Roll-off Filter

SD	SLOW	Mode
0	0	Sharp roll-off filter
0	1	Slow roll-off filter
1	0	Short delay sharp roll off filter
1	1	Short delay slow roll off filter

(default)

Table 14. Digital Filter Setting

**SELLR:** The data selection of L channel and R channel, when MONO Mode  
 0: All channel output R channel data, when MONO Mode. (default)  
 1: All channel output L channel data, when MONO Mode.

MONO bitが“1”の時に有効になり、“0”のときR chの、“1”のときL chのデータを選択し両方のチャンネルに出力します。

**DZFB:** Inverting Enable of DZF  
 0: DZF pin goes “H” at Zero Detection (default)  
 1: DZF pin goes “L” at Zero Detection

DZFE	DZFB	Data	DZF-pin
0	0	-	L
	1	-	H
1	0	not zero	L
		Zero detect	H
	1	not zero	H
		Zero detect	L

Table 25. Zero Detect Function and DZF Pin Output

**MONO:** MONO Mode Stereo Mode Select  
 0: Stereo Mode (default)  
 1: MONO Mode  
 MONO bitが“1”の時Mono Modeになります。

**DCKB:** Polarity of DCLK (DSD Only)  
 0: DSD data is output from DCLK Falling edge. (default)  
 1: DSD data is output from DCLK Rising edge.

**DCKS:** Master Clock Frequency Select at DSD Mode (DSD only)  
 0: 512fs (default)  
 1: 768fs

**DP:** DSD/PCM Mode Select  
 0: PCM Mode (default)  
 1: DSD Mode  
 D/P bitの設定を変更した場合は、RSTN bitでAK4490をリセットして下さい。



Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
R(I2C)/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Default		1	1	1	1	1	1	1	1

## ATT7-0: Attenuation Level

256 levels, 0.5dB step

Data	Attenuation
FFH	0dB
FEH	-0.5dB
FDH	-1.0dB
:	:
:	:
02H	-126.5dB
01H	-127.0dB
00H	MUTE (-∞)

設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。ATT設定間の遷移は7425レベルでソフト遷移します。FFH (0dB)から00H (MUTE)までには7424/fs (168ms@fs=44.1kHz)かかります。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Control 4	INVL	INVR	0	0	0	0	DFS2	SSLOW
R(I2C)/W		R/W	R/W	R	R	R	R	R/W	R/W
Default		0	0	0	0	0	0	0	0

## SSLOW: Super Slow Roll-off Filter Enable

0: Disable (default)

1: Enable

## DFS2: Sampling Speed Control (Table 9)

初期値は“000” (Normal Speed)です。DFS2-0 bitを切り替えた場合、クリックノイズが発生します。

DFS2	DFS1	DFS0	Sampling Rate (fs)	
0	0	0	Normal Speed Mode	30kHz ~ 54kHz
0	0	1	Double Speed Mode	54kHz ~ 108kHz
0	1	0	Quad Speed Mode	120kHz ~ 216kHz
0	1	1	Reserved	-
1	0	0	Oct Speed Mode	384kHz
1	0	1	Hexa Speed Mode	768kHz
1	1	0	Reserved	-
1	1	1	Reserved	-

(default)

Table 9. Sampling Speed (Manual Setting Mode @Serial Mode)

INVR: AOATR出力位相反転ビット  
0: Disable (default)  
1: Enable

INVL: AOUTL出力位相反転ビット  
0: Disable (default)  
1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	Control 5	DDM	DML	DMR	DMC	DMRE	0	DSDD	DSDSEL0
	R(I2C)/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DSDSEL1-0: DSD Sampling Speed Control (See also Control 7 register.)

DSDSEL1	DSDSEL0	DSD data stream
0	0	2.8224MHz
0	1	5.6448MHz
1	0	11.2896MHz
1	1	Reserved

(default)

Table 16. DSD Sampling Speed Control

DSDD: DSD Play Back Path Control

DSDD	Mode
0	Normal Path
1	Volume Bypass

(default)

Table 17. DSD Play Back Mode Control

DMRE: DSD Mute Release

このレジスタはDDM bit = “1”かつ DMC bit = “1”のときのみ、有効です。DDM bit, DMC bitによりAK4490がDSD dataをMuteしているとき“1”にすることによりMuteが解除されます。

0: Hold (default)  
1: Mute Release

DMC: DSD Mute Control

このレジスタはDDM bit = “1”とき有効です。このレジスタはDDM bitによりAK4490がDSD DataのMuteを行ったあと、DSD dataのレベルがフルスケール以下になった場合の処理を選択できます。

0: Auto Return (自動復帰) (default)  
1: Mute Hold

DMR/DML

このレジスタは、DSDRもしくはDSDLがFS検出した際に、検出フラグを出力します。(I2Cのみ)

DDM: DSD Data Mute

AK4490はDSD dataが2048 Sample(1/fs)の期間すべて“1”、“0”となったとき内部で出力をミュートする機能があります。このレジスタはその機能を有効することが出来ます。

0: Disable (default)  
1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	Control 6	0	0	0	0	0	0	0	SYNCE
	R(I2C)/W	R	R	R	R	R	R	R	R/W
	Default	0	0	0	0	0	0	0	0

SYNCE: Synchronization Control

AK4490を複数使用した場合に同期を合わす機能があります。このレジスタはその機能を有効にすることが出来ます。

0: Disable (default)

1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	Control 7	0	0	0	0	0	0	SC1	SC0
	R(I2C)/W	R	R	R	R	R	R	R/W	R/W
	Default	0	0	0	0	0	0	0	0

SC1-0: Sound Control Bit

SC1	SC0	Sound Mode
0	0	Sound Setting 1 (default)
0	1	Sound Setting 2
1	0	Sound Setting 3
1	1	Reserved

Table 27. SC1-0 bits Control

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Control 8	0	0	0	0	0	0	DSDF	DSDSEL1
	R(I2C)/W	R	R	R	R	R	R	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DSDSEL1-0:DSD Sampling Speed Control (See also Control 4 register.)

DSDSEL1	DSDSEL0	DSD data stream
0	0	2.8224MHz (default)
0	1	5.6448MHz
1	0	11.2896MHz
1	1	Reserved

Table 16. DSD Sampling Speed Control

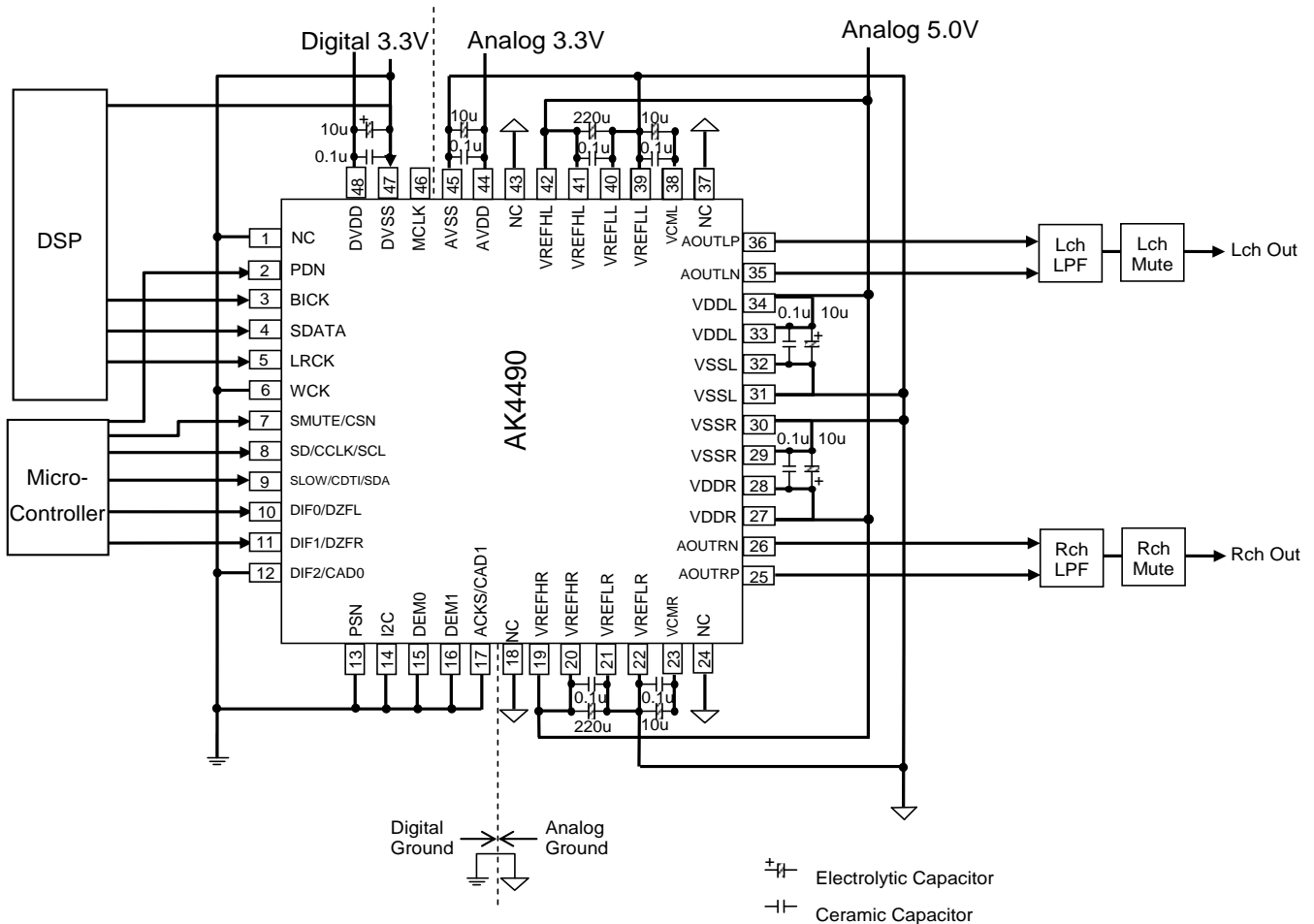
DSDD bit="1"のとき、DSDF bitでフィルタ特性を50kHzと150kHzに切り替えることができます。

DSDD bit	DSDF bit	Cut Off Filter
0	0	50kHz (default)
0	1	Reserved
1	0	50kHz
1	1	150kHz

Table 18. DSD Filter Select

10. 外部接続回路例

システム接続例をFigure 38、アナログ出力回路例をFigure 40, Figure 41とFigure 42に示します。具体的な回路と測定例については評価ボード(AKD4490)を参照して下さい。



注:

- Chip Address = "00". BICK = 64fs, LRCK = fs
- AVDDとDVDDの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。
- AVSS, DVSS, VSSL, VSSR, VREFLL, VREFLR は同じアナロググランドに接続して下さい。
- AOUTが負荷容量を駆動する場合は直列に抵抗を入れて下さい。
- プルダウン/プルアップピン以外のデジタル入力ピンはオープンにしないで下さい。

Figure 38. Typical Connection Diagram (AVDD=3.3V, VDDL/R=5V, DVDD=3.3V, Serial Control Mode)

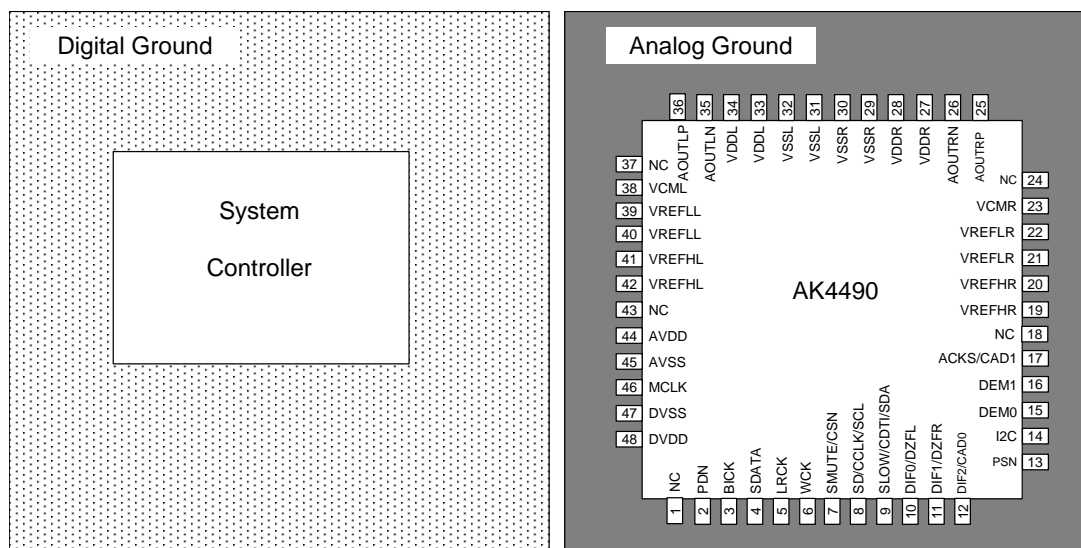


Figure 39. Ground Layout

### 1. グランドと電源のデカップリング

AK4490ではデジタルノイズのカップリングを最小限に抑えるため、AVDDとDVDDをデカップリングします。VREFHL/R, VDDL/Rにはシステムのアナログ電源を供給し、AVDD, DVDDにはシステムのデジタル電源を供給して下さい。VREFHL/R1とVDDL/Rの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。AVSS, DVSS, VSSL, VSSRは同じアナロググランドに接続して下さい。デカップリングコンデンサ、特に小容量のセラミックコンデンサはAK4490にできるだけ近づけて接続します。

### 2. 基準電圧

VREFHL/R pinとVREFLL/R pinに入力される電圧の差がアナログ出力のフルスケールを決定します。通常はVREFHL/R pinをAVDDに接続し、VREFLL/R pinをVSSに接続します。VREFHL/R pinとVREFLL/R pinとの間に0.1μFのセラミックコンデンサを接続します。VCML/Rはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために、10μF程度の電解コンデンサと並列に0.1μFのセラミックコンデンサをVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCML/R pinから電流を取ってはいけません。デジタル信号、特にクロックはAK4490へのカップリングを避けるためVREFHL/R, VREFLL/R pinからできるだけ離して下さい。

### 3. アナログ出力

アナログ出力は完全差動出力になっており、出力レンジはVCML/Rを中心に2.8Vpp (typ, VREFHL/R – VREFLL/R = 5V)です。差動出力は外部で加算されます。AOUTL/R +, AOUTL/R –の加算電圧は $V_{AOUT} = (AOUT+) - (AOUT-)$ です。加算ゲインが1の場合、出力レンジは5.6Vpp (typ, VREFHL/R – VREFLL/R = 5V)です。外部加算回路のバイアス電圧は外部で供給します。入力コードのフォーマットは2's complement (2の補数)で7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での $V_{AOUT}$ の理想値は0V電圧が出力されます。

内蔵のΔΣ変調器の帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)で減衰されます。

Figure 40は差動出力を1個のオペアンプで加算する外部LPF回路例です。Figure 41は差動出力の回路例及び3個のオペアンプを使った外部LPF回路例です。

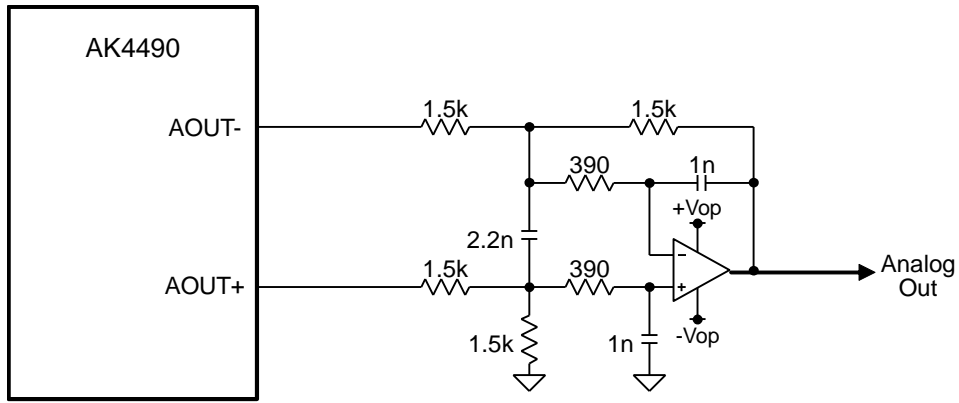


Figure 40. External LPF Circuit Example 1 for PCM ( $f_c = 99.2\text{kHz}$ ,  $Q=0.704$ )

Frequency Response	Gain
20kHz	-0.011dB
40kHz	-0.127dB
80kHz	-1.571dB

Table 30. Frequency Response of External LPF Circuit Example 1 for PCM

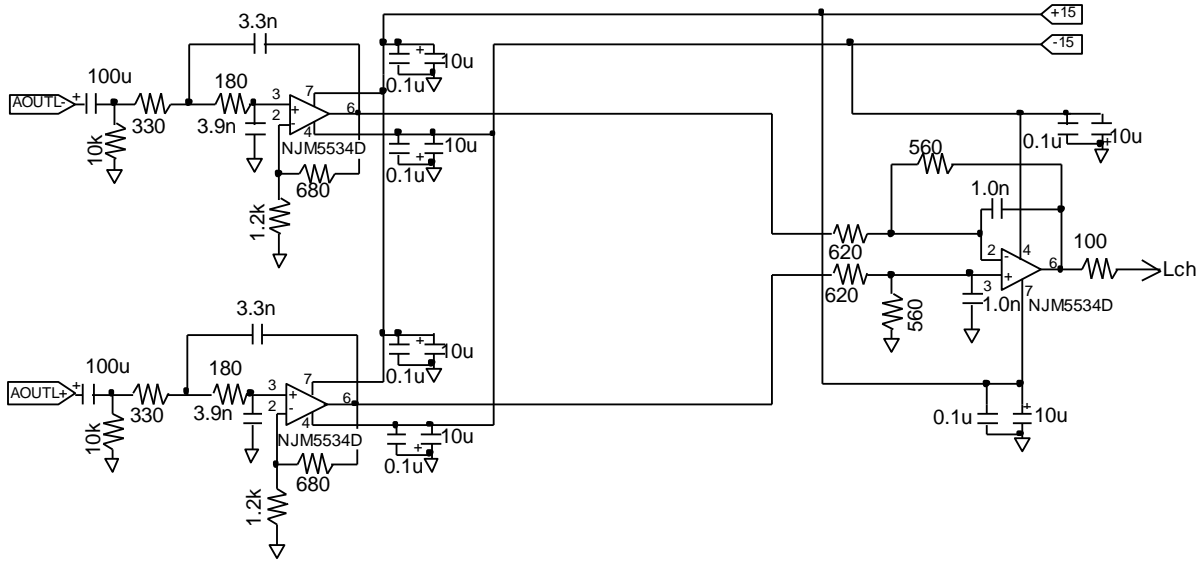


Figure 41. External LPF Circuit Example 2 for PCM

	1 <sup>st</sup> Stage	2 <sup>nd</sup> Stage	Total
Cut-off Frequency	182kHz	284kHz	-
Q	0.637	-	-
Gain	+3.9dB	-0.88dB	+3.02dB
Frequency Response	20kHz	-0.025	-0.046dB
	40kHz	-0.106	-0.191dB
	80kHz	-0.517	-0.848dB

Table 31. Frequency Response of External LPF Circuit Example 2 for PCM

SACDフォーマットブック(Scarlet Book)では、SACDの再生時のフィルタ特性として、カットオフ50kHz以下のスロープ-30dB/oct以上のフィルタが推奨されています。AK4490では内部フィルタ(Table 32)と外部アナログフィルタ(Figure 42)により、このフィルタ特性を実現可能です。

Frequency	Gain
20kHz	-0.4dB
50kHz	-2.8dB
100kHz	-15.5dB

Table 32. Internal Filter Response at DSD Mode

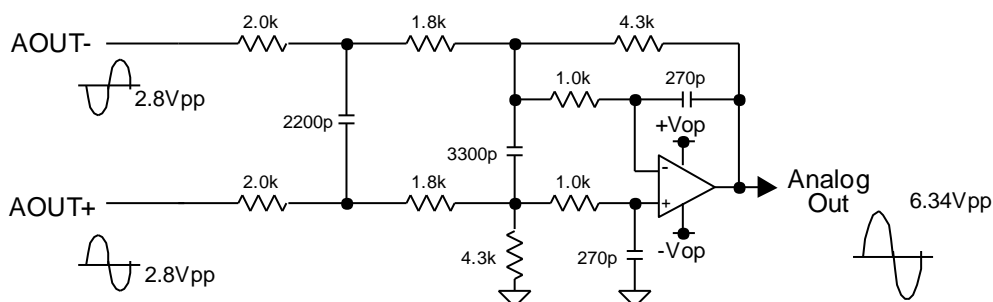


Figure 42. External 3rd Order LPF Circuit Example for DSD

Frequency	Gain
20kHz	-0.05dB
50kHz	-0.51dB
100kHz	-16.8dB

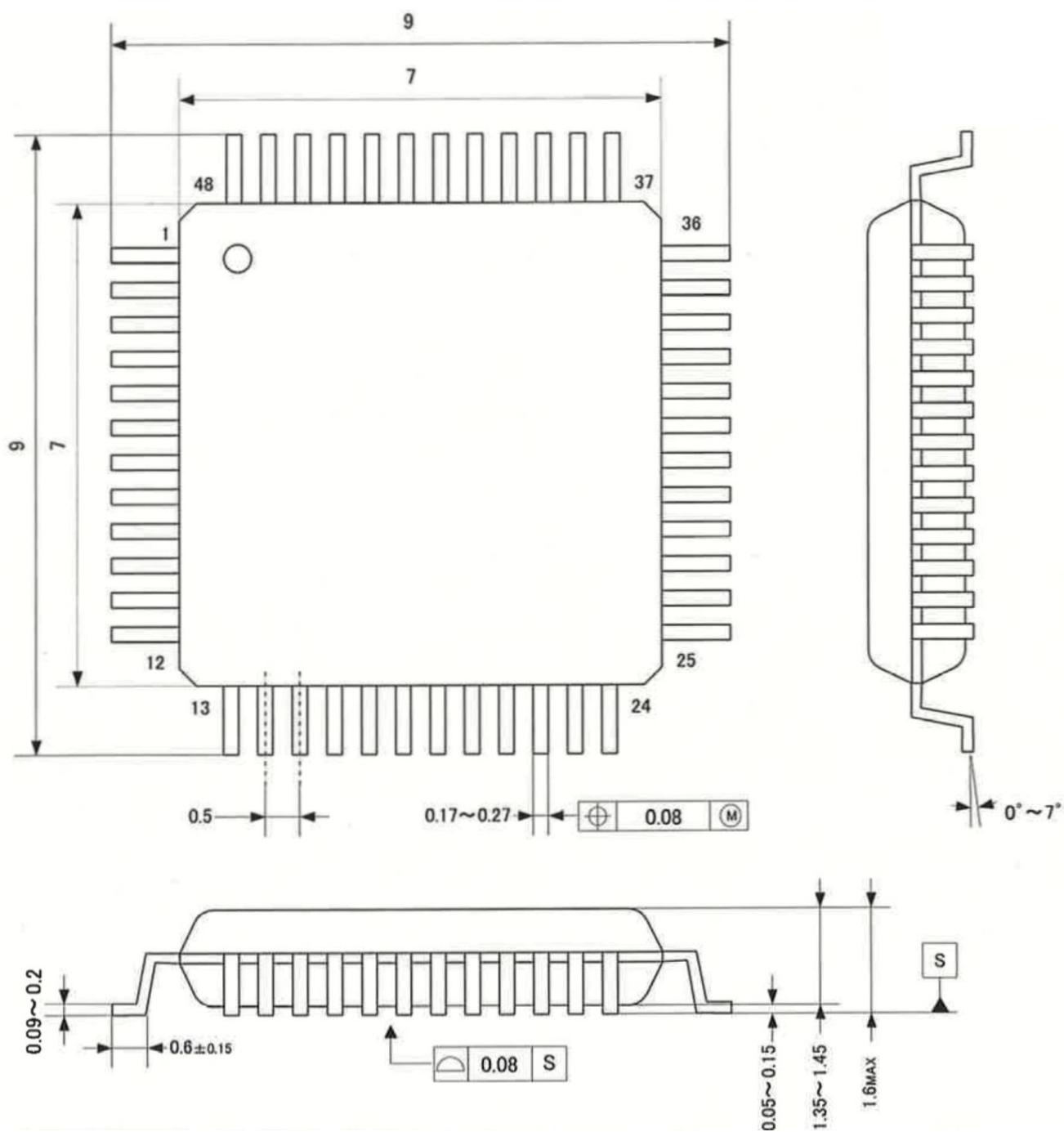
DC gain = 1.07dB

Table 33. 3rd Order LPF (Figure 42) Response

## 11. パッケージ

## ■ 外形寸法図

48pin LQFP (Unit mm)

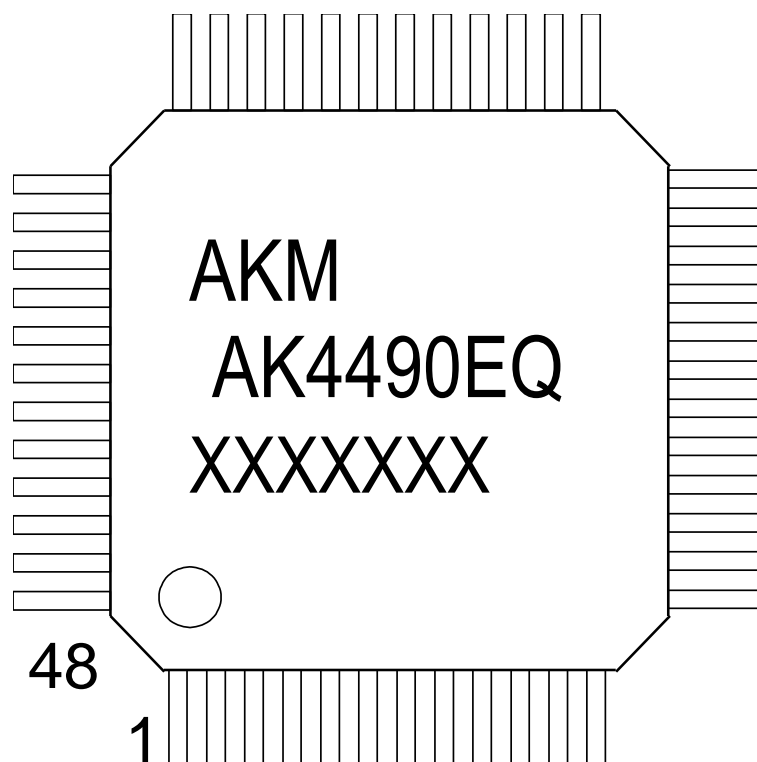


## ■ 材質・メッキ仕様

Package molding compound:	Epoxy, Halogen (bromine and chlorine) free
Lead frame material:	Cu
Lead frame surface treatment:	Solder (Pb free) plate



## ■ マーキング



- 1) AKM Logo
- 2) Pin #1 indication
- 3) Date Code: XXXXXXXX(7 digits)
- 4) Marking Code: AK4490EQ

## 12. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
14/04/23	00	初版		
14/07/14	01	仕様変更	1	2. 特長 電源電圧 VDD1/2=4.75~5.25V→VDD1/2=4.75~7.2V
		誤記訂正	7	5. ピン配置と機能説明 ■機能説明 23 VCMR Normally connected to VREFLL with a 10uF electrolytic cap. →Normally connected to VREFLR with a 10uF electrolytic cap. 38 VCML Normally connected to VREFLR with a 10uF electrolytic cap. →Normally connected to VREFLL with a 10uF electrolytic cap.

## 12. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
14/07/23	01	誤記訂正	4	4. ブロック図 Volume bypassの線を追加
		仕様変更	9	6. 絶対最大定格 Power Supply, ADDL/R: 7.5 → 7.2V (max.) Note 3 絶対最大定格以上の静電気ノイズや電圧印加（オーバーシュート含む）の影響を抑圧するために、少なくともVDDL-VSSL間とVDDR-VSSR間に0.1uF以上のデカップリングコンデンサを挿入してください。 7. 推奨動作条件 Analog, ADDL/R: 5.25 → 7.2V (max.)
		誤記訂正	11	Note14. “入力レジスタにセットされてから”を削除
		誤記訂正	15	Note15. “入力レジスタにセットされてから”を削除
		誤記訂正	27	9.機能説明 ■システムクロック “動作中にMCLKまたはLRCKが止まった場合は、AK4490は自動的にリセット状態になり、アナログ出力はAVDD/2電圧(typ)を出力します。”→“動作中にMCLKまたはLRCKが止まった場合は、AK4490は自動的にリセット状態になり、アナログ出力はHi-zとなります。”
		誤記訂正	32	9.機能説明 [2] DSD mode “動作中にMCLKまたはLRCKが止まった場合は、AK4490は自動的にリセット状態になり、アナログ出力はAVDD/2電圧(typ)を出力します。”→“動作中にMCLKまたはLRCKが止まった場合は、AK4490は自動的にリセット状態になり、アナログ出力はHi-zとなります。” Table18.以降の記述を削除
		誤記訂正	41	Table 27. Mode 1→Sound Setting 1 2→Sound Setting 2 3→Sound Setting 3 4→Reserved
		記述追加	42	“■ 特性(DSD)”のページを追加
		誤記訂正	49	■レジスタコントロールインタフェース “マスタクロックが供給されていない時は”を削除
		記述追加	54	■レジスタマップ “3線シリアルコントロールモードではデータ読み出しをサポートしません。 I2Cバスコントロールモードでは読み出しをサポートします。”
記述追加	54-58	■詳細説明 各アドレスに“R(I2C)/W”を追加		
14/08/07	02	誤記訂正	1	2. 特徴 “Filter bypass mode”を削除
		仕様変更	9	6. 絶対最大定格 Power Supply, ADDL/R: 7.2 → 7.5V (max.)
		誤記訂正	27	9.機能説明 ■システムクロック 1. Manual Setting Mode (ACKS pin = “L”) ”DFS1 bitは“0”に固定されます。”→”DFS1-0 bitは“00”に固定されます。”

## 12. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
14/08/07	02	誤記訂正	11	■シャープローパス・フィルタ (fs=192kHz) VREFHL/R=VDDL/R=4.75 ~ 7.25V →VREFHL/R=VDDL/R=4.75 ~ 7.2V
			28	9.機能説明 ■システムクロック1. Manual Setting Mode (ACKS pin = "L") Table 3 88.2kHzと96kHzの仕様を削除
			30	9.機能説明 ■システムクロック2. Auto Setting Mode (ACKS bit = "1") "DFS1-0 bitの設定は不要"→"DFS2-0 bitの設定は不要"
			54	ECS:Ex DF I/F Mode Clock Setting 0: Disable: Internal Digital Filter Mode (default) →0: WCK=768kHz mode (default) 1: Enable: External Digital Filter Mode →1: WCK=384kHz mode
14/11/14	03	誤記訂正	20	<b>Master Clock Timing</b> Minimum Pulse Widthの記述を追加訂正
				<b>External Digital Filter Mode</b> WCK Periodを追加訂正

### 重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。