

## 20WモノラルD級オーディオ・パワーアンプ

### 特長

- 20Wモノラル出力(18V電源、8Ω負荷、10% THD+N)
- 短絡保護回路( $V_{CC}$ との短絡、GNDとの短絡、出力間短絡)
- 第3世代の変調技術：
  - ほとんどのアプリケーションで、大型LCフィルタを小型かつ低価格のフェライトビーズ・フィルタへ置換
  - 改善された効率
  - 改善されたSN比
- 低電源電流 ..... 8mA(12V時の代表値)
- シャットダウン制御 ..... < 1μA(代表値)
- 省スペース、熱的に強化されたパワーパッド (PowerPAD™)パッケージ

### アプリケーション

- LCDモニター/テレビ
- ハンズフリーのカーキット
- パワー・スピーカー

### 解説

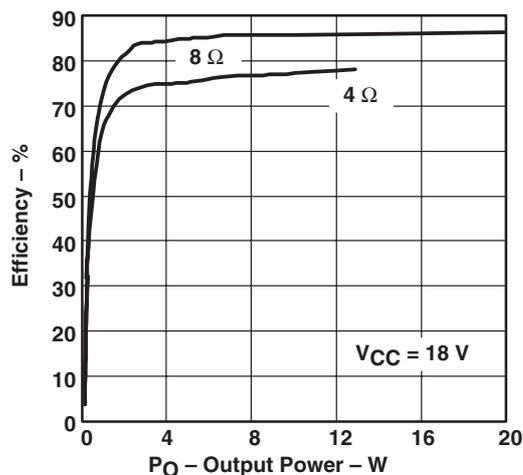
TPA3001D1は、ブリッジ結合型負荷(BTL)用の高効率な20WモノラルD級オーディオ・アンプであり、ヒートシンクが不要です。TPA3001D1は4Ω以上のスピーカーを駆動でき、EMI低減のためのフェライトビーズのみが必要です。

アンプのゲインはGAIN1およびGAIN0の2端子で制御されます。これによって、アンプのゲインを12, 18, 23.6, および36dBに設定できます。差動入力段により、高同相モード除去比および電源除去比の改善を実現します。

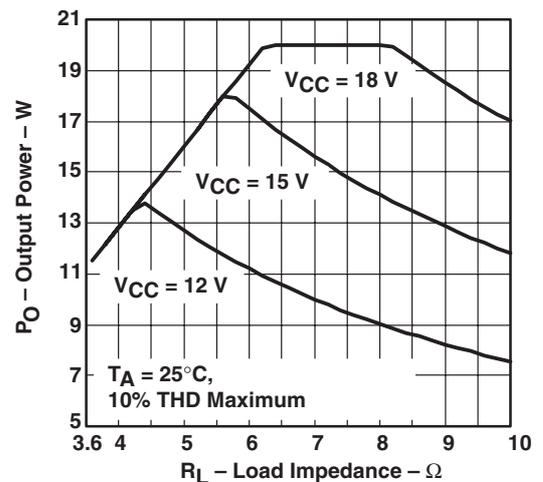
また本アンプにはボツ音除去回路があり、電源投入時やSHUTDOWN信号の再入力時のボツ音量を低減します。

TPA3001D1は熱的に強化された24ピンTSSOPパッケージ (PWP)で入手できるため、外付けのヒートシンクが不要になります。

効率対出力電力



最大出力電力対負荷インピーダンス



SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

## AVAILABLE OPTIONS

T <sub>A</sub>	PACKAGED DEVICES
	TSSOP (PWP)†
-40°C to 85°C	TPA3001D1PWP

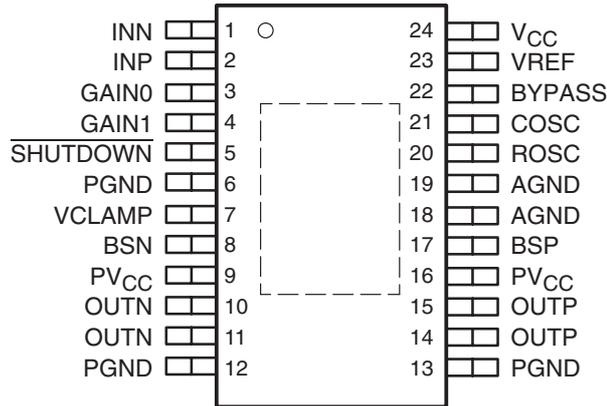
† The PWP package is available taped and reeled. To order a taped and reeled part, add the suffix R to the part number (e.g., TPA3001D1PWPR).



## 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

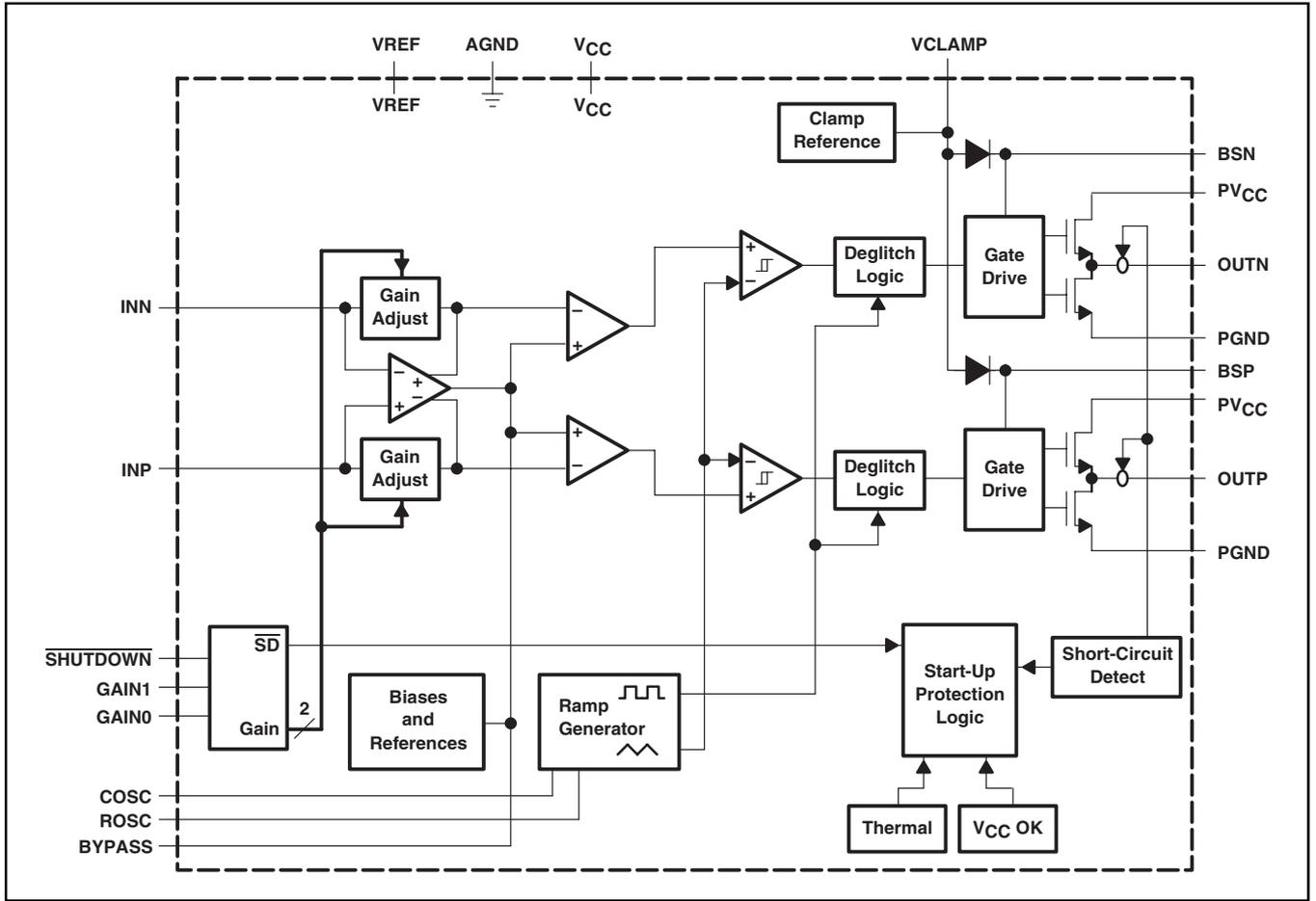
PWP PACKAGE  
(TOP VIEW)



## 端子機能表

端子名	番号	I/O	機能
AGND	18,19	—	アナログ・グラウンドのピン
BSN	8	I	負BTL出力のハイサイド・ゲートをドライブするブート・ストラップのピン(0.22μFのコンデンサと51Ωの抵抗を、OUTNからBSN間に直列接続する)
BSP	17	I	正BTL出力のハイサイド・ゲートをドライブするブート・ストラップのピン(0.22μFのコンデンサと51Ωの抵抗を、OUTPからBSP間に直列接続する)
BYPASS	22	I	1μFのコンデンサを本ピンとグラウンド間に接続し、BYPASS電圧をフィルタする。
COSC	21	I	220pFのコンデンサを本ピンとグラウンド間に接続し、発振周波数(250kHz)を設定する。
GAIN0	3	I	ゲイン制御のビット0(ゲイン設定は表1参照)
GAIN1	4	I	ゲイン制御のビット1(ゲイン設定は表1参照)
INN	1	I	負差動入力
INP	2	I	正差動入力
OUTN	10,11	O	負BTL出力(ショットキー・ダイオードをPGNDからOUTNへ接続して、短絡保護をする)
OUTP	14,15	O	正BTL出力(ショットキー・ダイオードをPGNDからOUTPへ接続して、短絡保護をする)
PGND	6,12,13	—	パワー・グラウンド
PV <sub>CC</sub>	9,16	I	高電圧電源(出力段用)
ROSC	20	I	120kΩの抵抗を接続し、発振周波数(250kHz)を設定する。
SHUTDOWN	5	I	シャットダウン用のピン(負論理)。TTL互換入力。21V耐圧
V <sub>CC</sub>	24	I	アナログ高電圧電源
VCLAMP	7	O	1μFのコンデンサを本ピンとグラウンド間に接続し、Hブリッジ・ゲート用の基準電圧を供給する。
VREF	23	O	制御回路用の5V内部レギュレータ(0.1μFから1μFのコンデンサを本ピンとグラウンド間に接続する)

ファンクション・ブロック図



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage: $V_{CC}$ , $PV_{CC}$ .....	-0.3V to 21V
Load impedance, $R_L$ .....	$\geq 3.6\Omega$
Input voltage: $\overline{SHUTDOWN}$ .....	-0.3V to $V_{CC} + 0.3V$
GAIN0, GAIN1 .....	-0.3V to 5.5V
INN, INP .....	-0.3V to 7V
Continuous total power dissipation .....	(see Dissipation Rating Table)
Operating free-air temperature range, $T_A$ .....	-40°C to 85°C
Operating junction temperature range, $T_J$ .....	-40°C to 150°C
Storage temperature range, $T_{stg}$ .....	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds .....	260°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

DISSIPATION RATING TABLE

PACKAGE	$T_A \leq 25^\circ\text{C}$	DERATING FACTOR	$T_A = 70^\circ\text{C}$	$T_A = 85^\circ\text{C}$
PWP	4.16W	33.33 mW/°C‡	2.67W	2.16W

‡ The PowerPAD must be soldered to a thermal land on the printed circuit board. Please refer to the PowerPAD Thermally Enhanced Package application note (SLMA002).

## recommended operating conditions

		MIN	MAX	UNIT
Supply voltage, $V_{CC}$ , $PV_{CC}$	$R_L \geq 3.6 \Omega^\dagger$	8	18	V
Load impedance, $R_L$		3.6		$\Omega$
High-level input voltage, $V_{IH}$	GAIN0, GAIN1, SHUTDOWN	2		V
Low-level input voltage, $V_{IL}$	GAIN0, GAIN1, SHUTDOWN		0.8	V
Operating free-air temperature, $T_A$		-40	85	$^\circ\text{C}$

† The TPA3001D1 must not be used with any speaker or load (including speaker with output filter) that could vary below  $3.6 \Omega$  over the audio frequency band.

## electrical characteristics at $T_A = 25^\circ\text{C}$ , $PV_{CC} = V_{CC} = 12\text{V}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$I_{VOS}$   Output offset voltage (measured differentially)	$V_I = 0\text{V}$ , $A_V = 12\text{dB}$ , 18, 23.6dB			50	mV
	$V_I = 0\text{V}$ , $A_V = 36\text{dB}$			100	
PSRR   Power supply rejection ratio	$PV_{CC} = 11.5\text{V}$ to $12.5\text{V}$	-73			dB
$I_{IH}$   High-level input current	$PV_{CC} = 12\text{V}$ , $V_I = PV_{CC}$			1	$\mu\text{A}$
$I_{IL}$   Low-level input current	$PV_{CC} = 12\text{V}$ , $V_I = 0\text{V}$			1	$\mu\text{A}$
$I_{CC}$   Supply current	SHUTDOWN = 2.0V, No load		8	15	mA
	SHUTDOWN = $V_{CC}$ , $V_{CC} = 18\text{V}$ , $P_O = 20\text{W}$ , $R_L = 8\Omega$		1.3		A
$I_{CC(SD)}$   Supply current, shutdown mode	SHUTDOWN = 0.8V		1	2	$\mu\text{A}$
$f_S$   Switching frequency	$R_{OSC} = 120\text{k}\Omega$ , $C_{OSC} = 220\text{pF}$		250		kHz
$r_{ds(on)}$   Output transistor on resistance (total)	$I_O = 1\text{A}$ , $T_J = 25^\circ\text{C}$	0.2	0.3	0.7	$\Omega$
G   Gain	GAIN1 = 0.8V, GAIN0 = 0.8V	10.9	12	12.8	dB
	GAIN1 = 0.8V, GAIN0 = 2V	17.1	18	18.5	dB
	GAIN1 = 2V, GAIN0 = 0.8V	23	23.6	24.3	dB
	GAIN1 = 2V, GAIN0 = 2V	33.9	36	36.5	dB

## operating characteristics, $PV_{CC} = V_{CC} = 12\text{V}$ , $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$P_O$	Continuous output power at 10% THD+N	$f = 1\text{kHz}$ , $R_L = 4\Omega$		12.8	W
		$f = 1\text{kHz}$ , $R_L = 8\Omega$		9	
	Continuous output power at 1% THD+N	$f = 1\text{kHz}$ , $R_L = 4\Omega$		10.3	
		$f = 1\text{kHz}$ , $R_L = 8\Omega$		7.2	
THD+N   Total harmonic distortion plus noise	$P_O = 10\text{W}$ , $R_L = 4\Omega$ , $f = 20\text{Hz}$ to $20\text{kHz}$		0.2%		
$B_{OM}$   Maximum output power bandwidth	THD = 1%		20		kHz
$k_{SVR}$   Supply ripple rejection ratio	$f = 1\text{kHz}$ , $C_{(BYPASS)} = 1\mu\text{F}$		-70		dB
SNR   Signal-to-noise ratio	$P_O = 10\text{W}$ , $R_L = 4\Omega$		95		dB
$V_n$   Noise output voltage	$C_{(BYPASS)} = 1\mu\text{F}$ , $f = 20\text{Hz}$ to $22\text{kHz}$ , No weighting filter used, Gain = 12dB		86		$\mu\text{V(rms)}$
			-81		dBV
	$C_{(BYPASS)} = 1\mu\text{F}$ , $f = 20\text{Hz}$ to $22\text{kHz}$ , A-weighted filter, Gain = 12dB		66		$\mu\text{V(rms)}$
			-84		dBV
$Z_i$   Input impedance	See Table 1, page 21		>23		$\text{k}\Omega$

operating characteristics,  $P_{V_{CC}} = V_{CC} = 18V$ ,  $T_A = 25^\circ C$  (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
P <sub>O</sub>	Output power at 10% THD+N	f = 1kHz, R <sub>L</sub> = 4Ω		12.8		W
		f = 1kHz, R <sub>L</sub> = 8Ω		20		
	Output power at 1% THD+N	f = 1kHz, R <sub>L</sub> = 4Ω		10.3		
		f = 1kHz, R <sub>L</sub> = 8Ω		16		
THD +N	Total harmonic distortion plus noise	P <sub>O</sub> = 15W, R <sub>L</sub> = 8Ω f = 20Hz to 20kHz		1%		
		P <sub>O</sub> = 2W, R <sub>L</sub> = 8Ω f = 20Hz to 20kHz		0.3%		
B <sub>OM</sub>	Maximum output power bandwidth	THD = 1%		20		kHz
k <sub>SVR</sub>	Supply ripple rejection ratio	f = 1kHz, C <sub>BYPASS</sub> = 1μF		-70		dB
SNR	Signal-to-noise ratio	P <sub>O</sub> = 15W, R <sub>L</sub> = 8Ω		102		dB
V <sub>n</sub>	Noise output voltage	C <sub>(BYPASS)</sub> = 1μF, f = 20Hz to 20kHz, No weighting filter used, Gain = 12dB		86		μV(rms)
					-81	
		C <sub>(BYPASS)</sub> = 1μF, f = 20Hz to 22kHz, A-weighted filter, Gain = 12dB		66		μV(rms)
					-84	
Z <sub>i</sub>	Input impedance	See Table 1, page 21		>23		kΩ

## TYPICAL CHARACTERISTICS

Table of Graphs

			FIGURE
	Efficiency	vs Output power	1
P <sub>O</sub>	Output power	vs Load Impedance	2, 3, 4
I <sub>CC</sub>	Supply current	vs Supply voltage	5
I <sub>CC(SD)</sub>	Shutdown current		6
THD+N	Total harmonic distortion + noise	vs Output power	7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18
		vs Frequency	19, 20, 21, 22, 23, 24, 25
k <sub>SVR</sub>	Supply voltage rejection ratio	vs Frequency	26
	Gain and phase		27
CMRR	Common-mode rejection ratio		28
V <sub>IO</sub>	Input offset voltage	vs Common-mode input voltage	29

# 標準的な特性

EFFICIENCY  
vs  
OUTPUT POWER

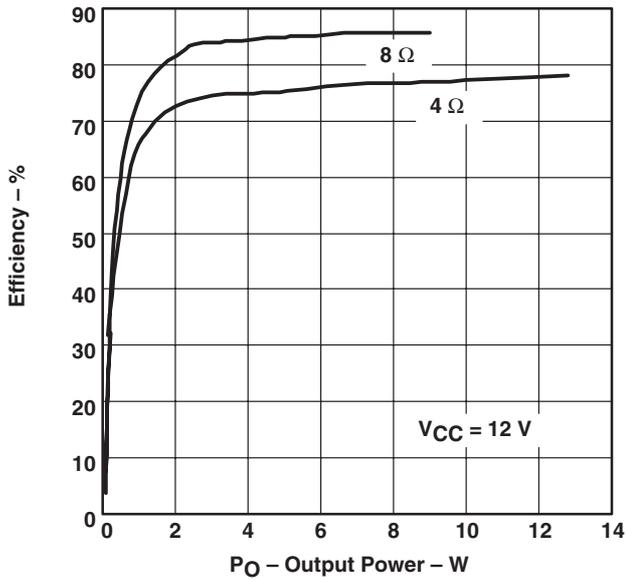


図1

MAXIMUM OUTPUT POWER  
vs  
LOAD IMPEDANCE

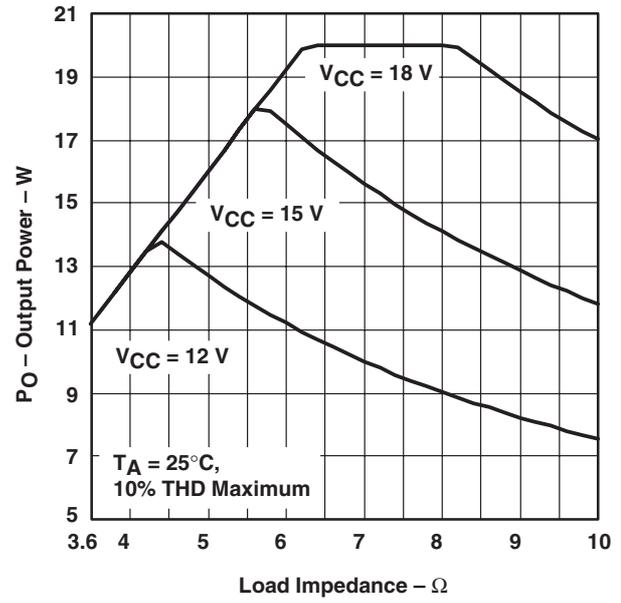


図2

MAXIMUM OUTPUT POWER  
vs  
LOAD IMPEDANCE

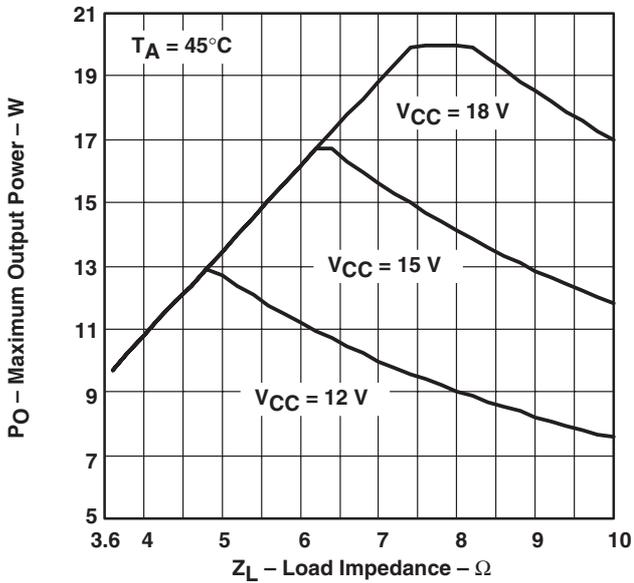


図3

MAXIMUM OUTPUT POWER  
vs  
LOAD IMPEDANCE

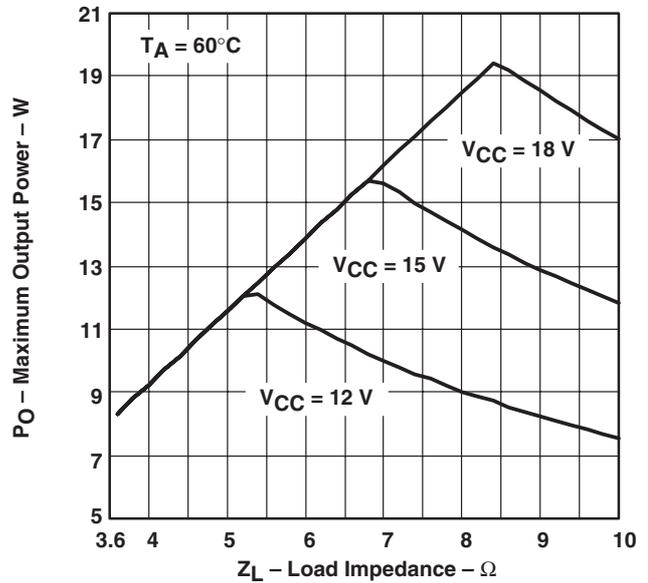


図4

# 標準的な特性

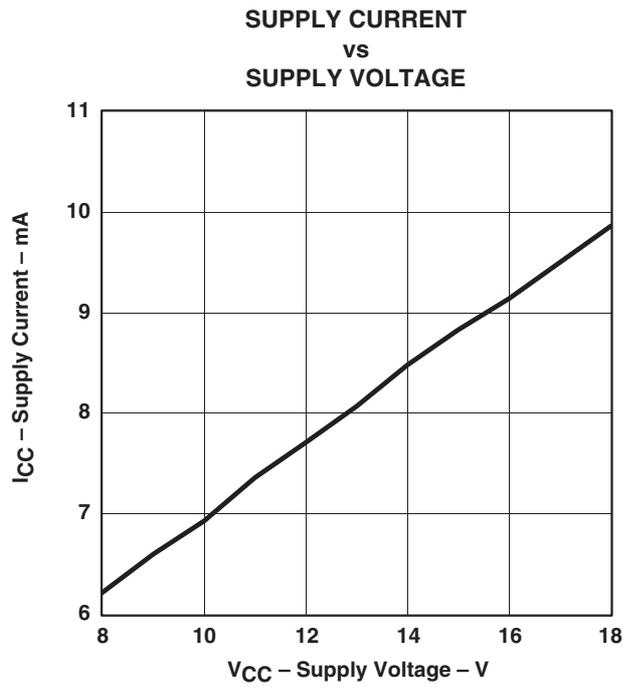


図5

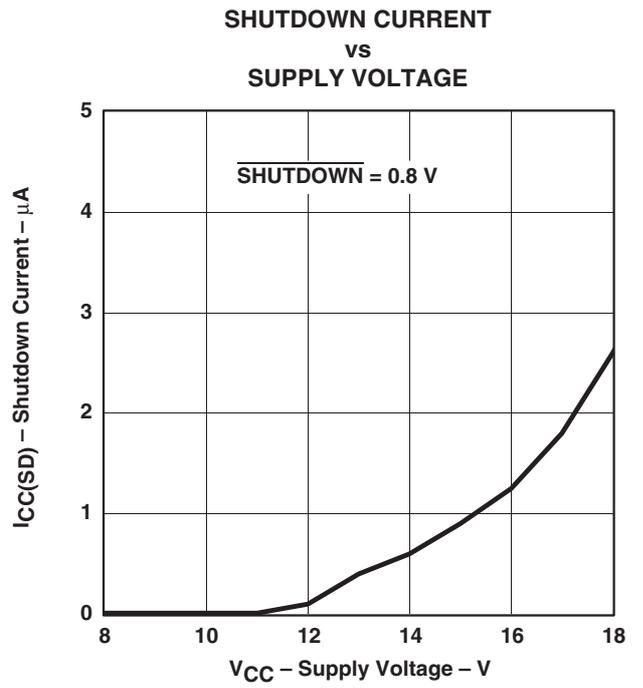


図6

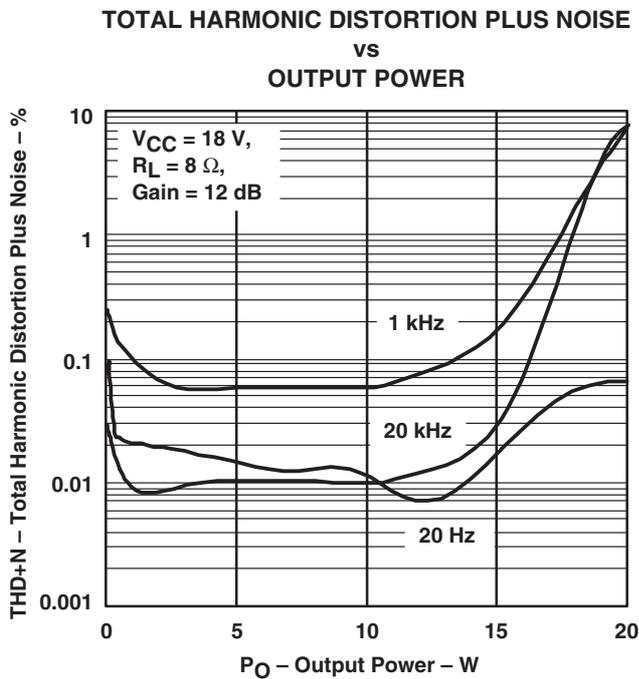


図7

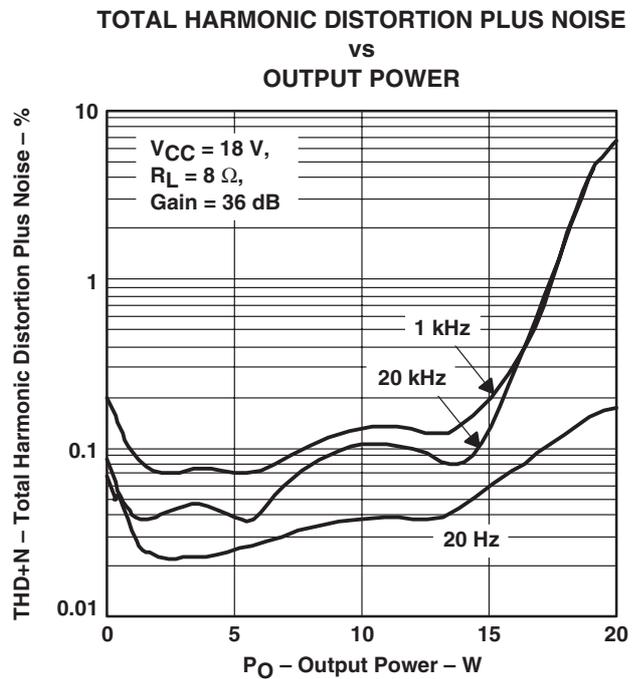


図8

# 標準的な特性

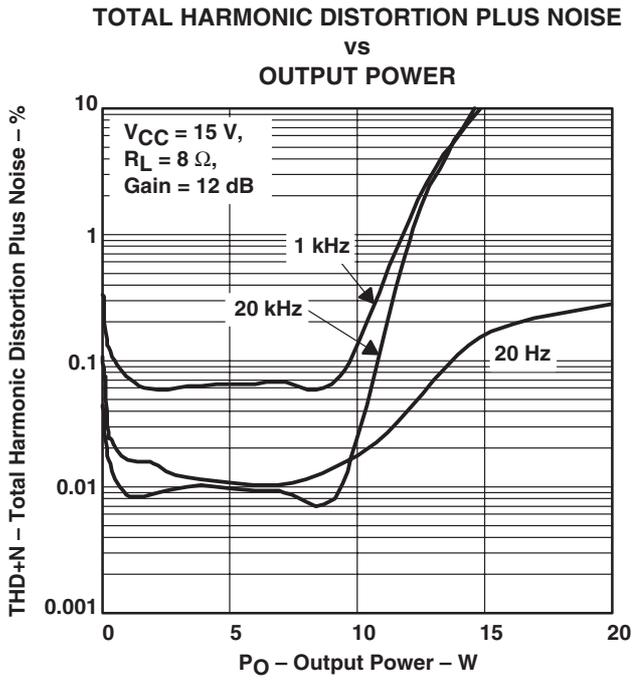


図9

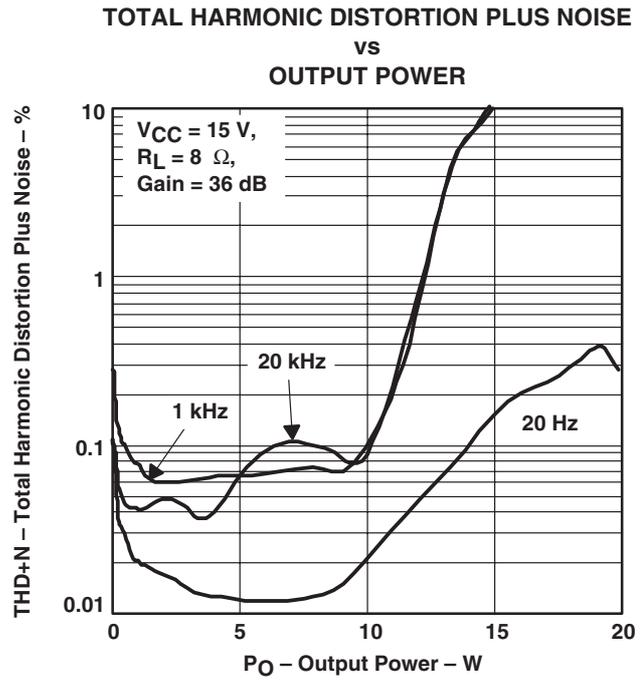


図10

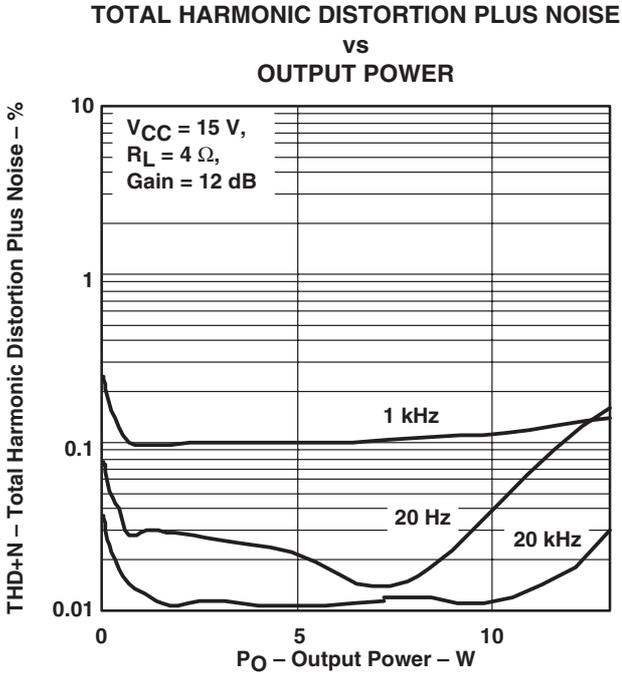


図11

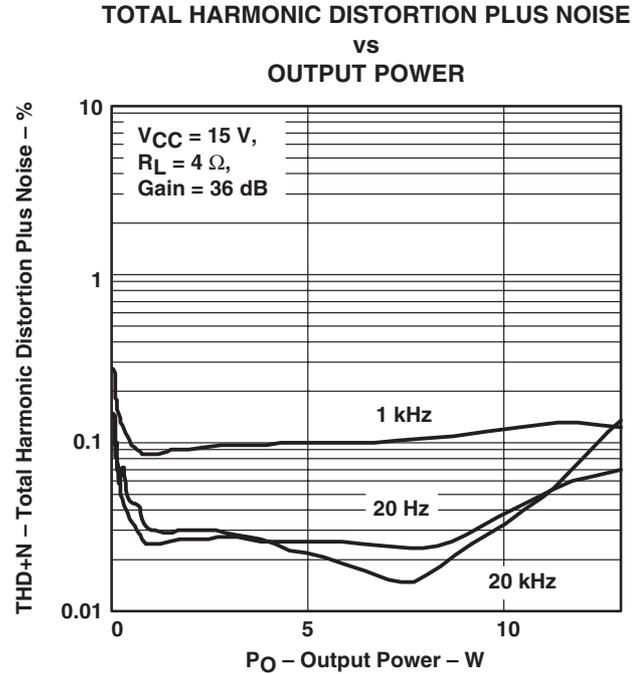


図12

# 標準的な特性

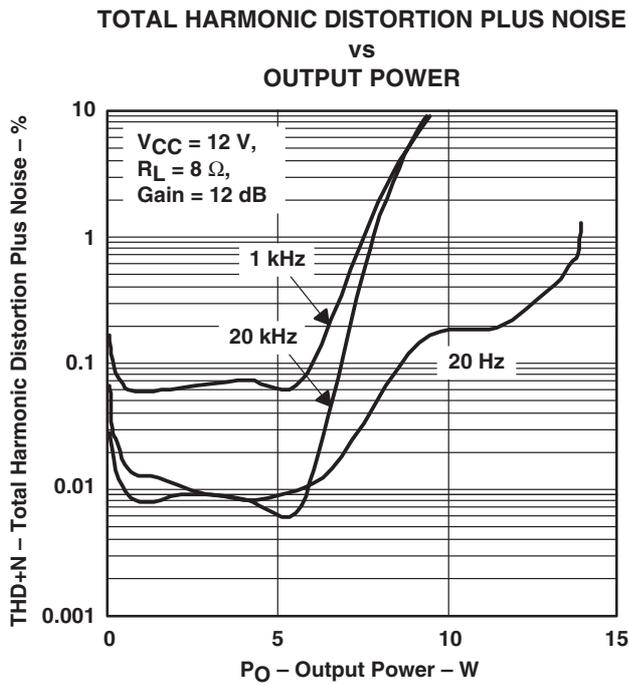


図13

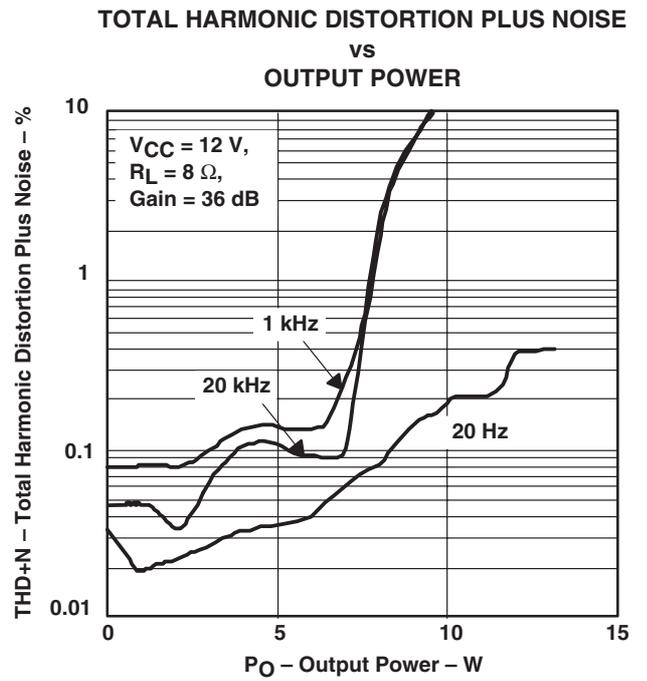


図14

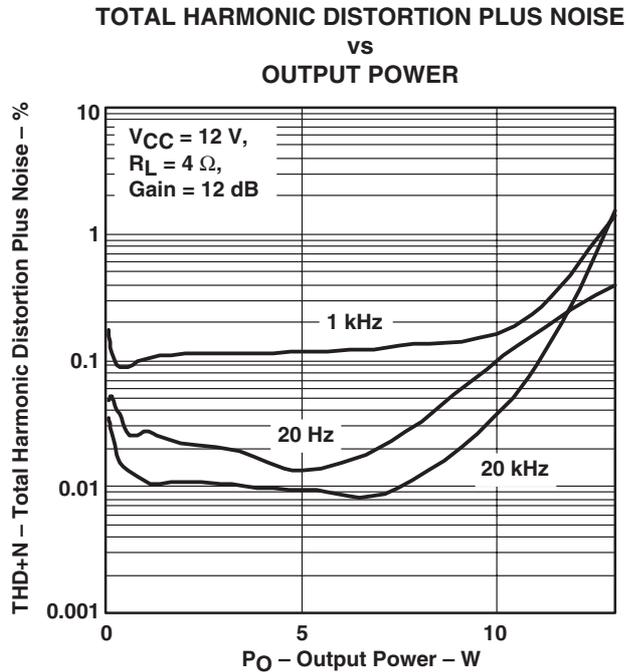


図15

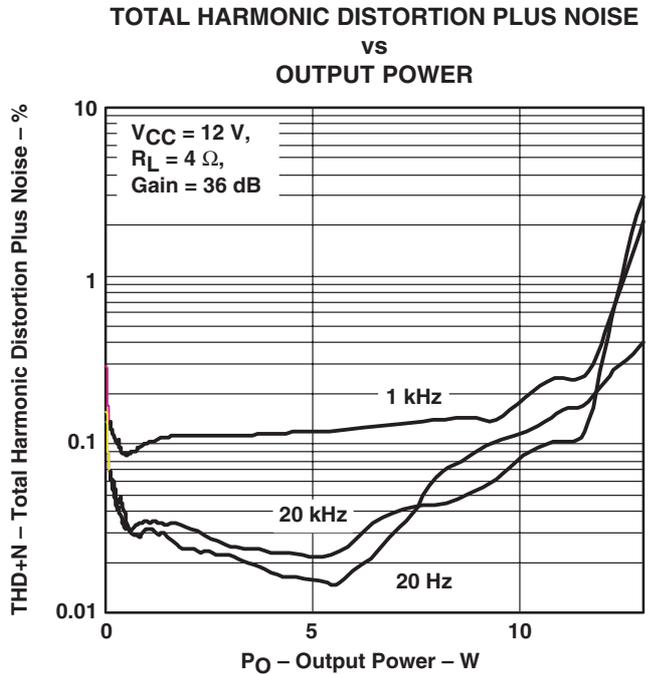


図16

# 標準的な特性

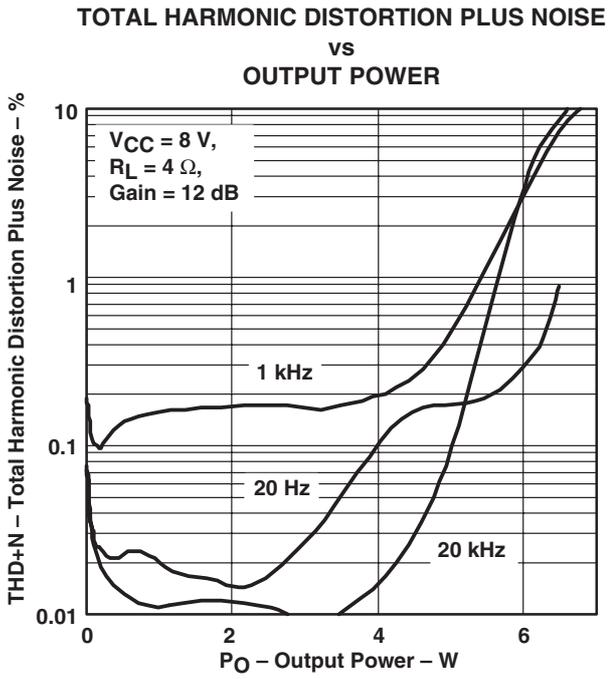


図17

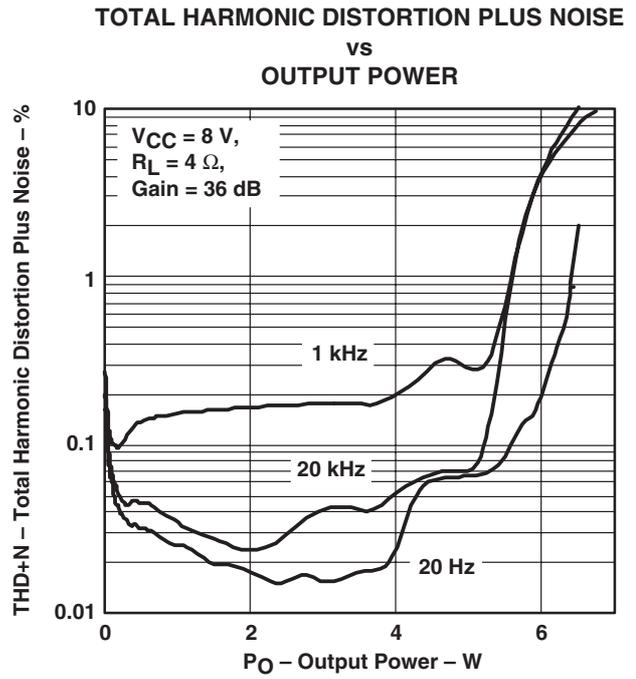


図18

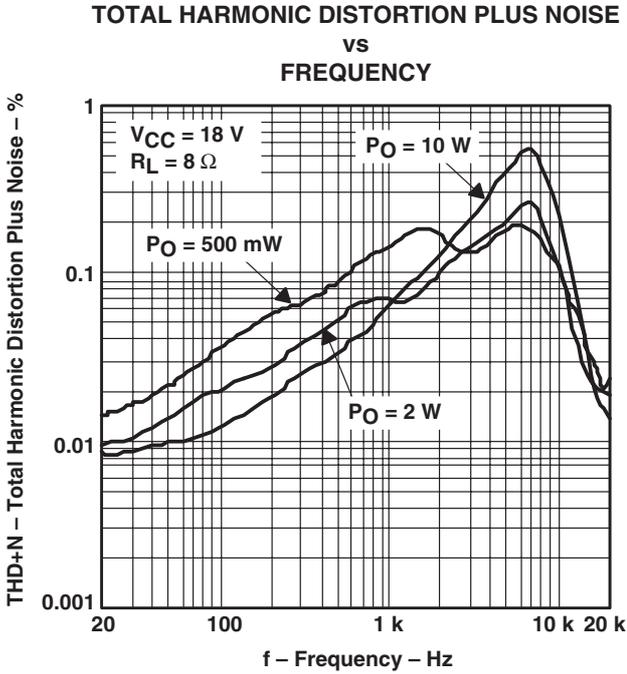


図19

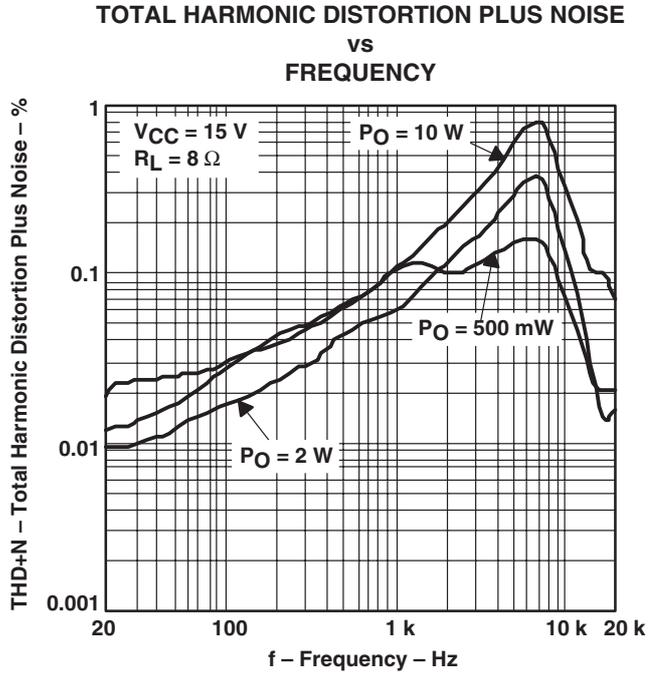


図20

# 標準的な特性

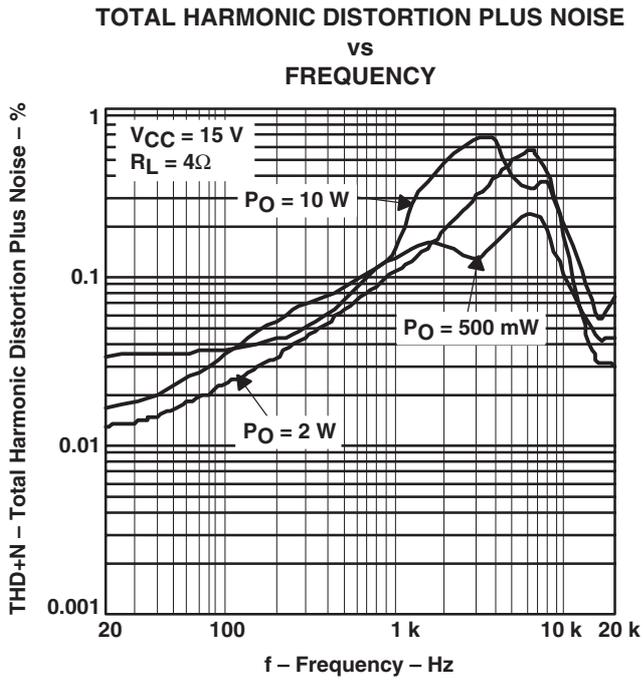


図21

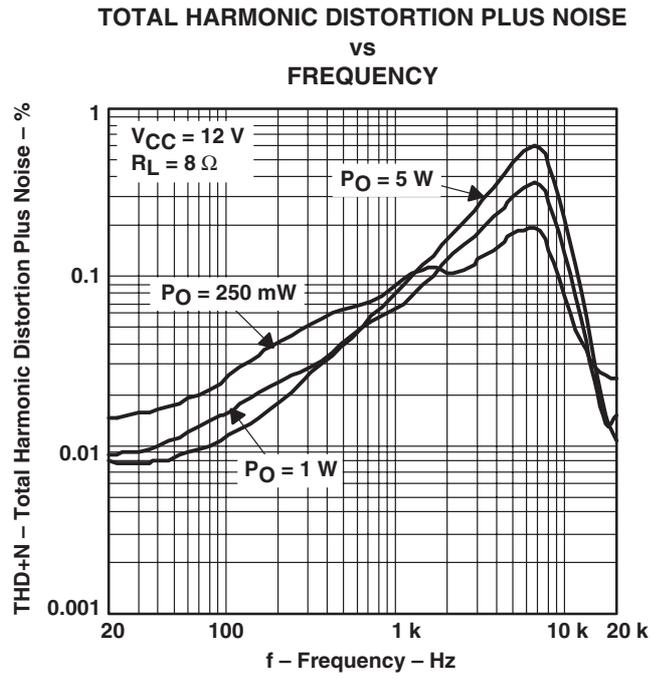


図22

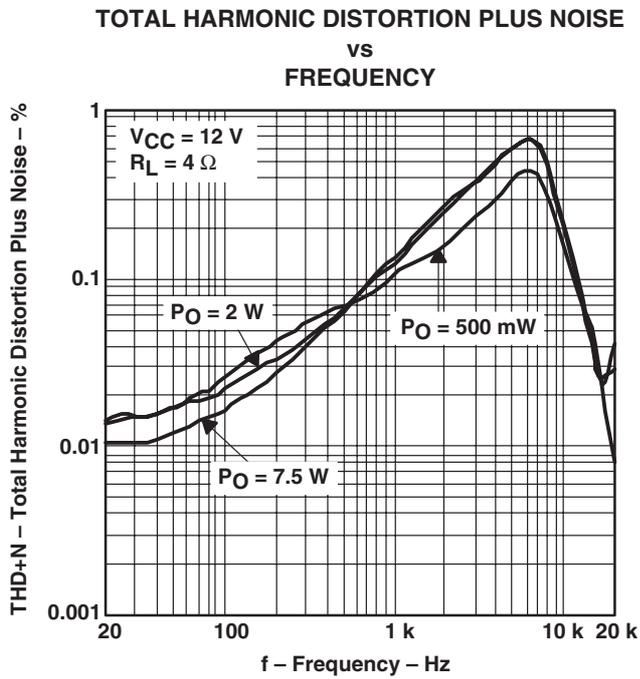


図23

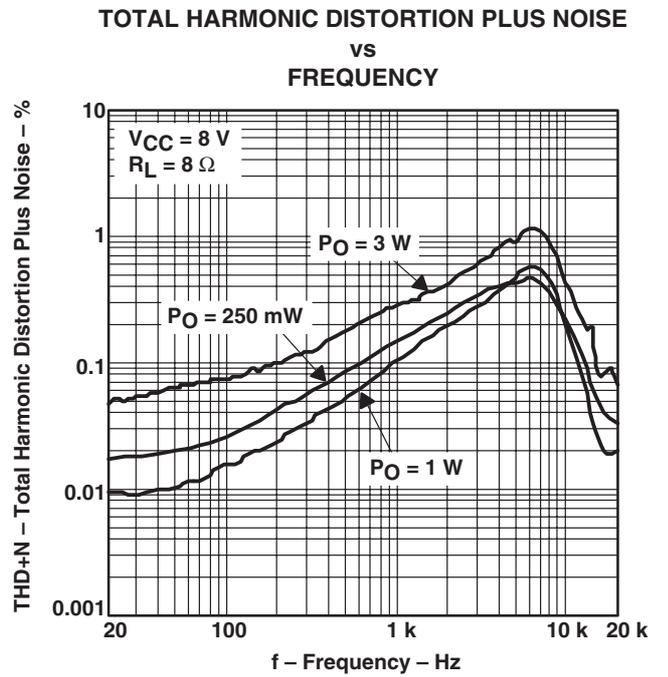


図24

# 標準的な特性

TOTAL HARMONIC DISTORTION PLUS NOISE  
VS  
FREQUENCY

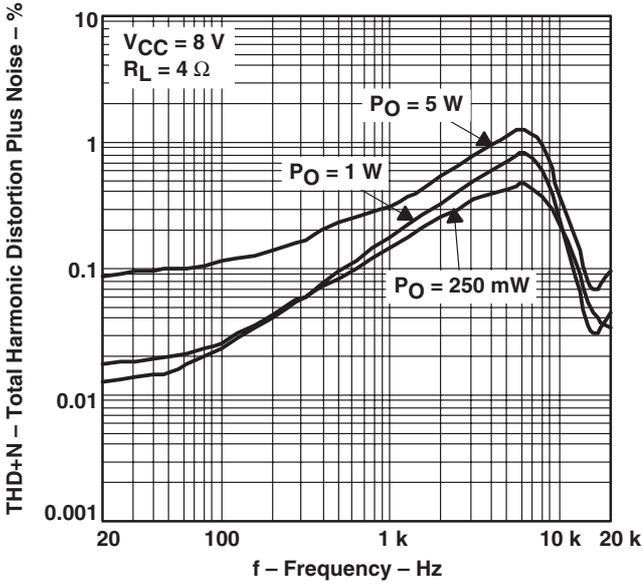


図25

SUPPLY VOLTAGE REJECTION RATIO  
VS  
FREQUENCY

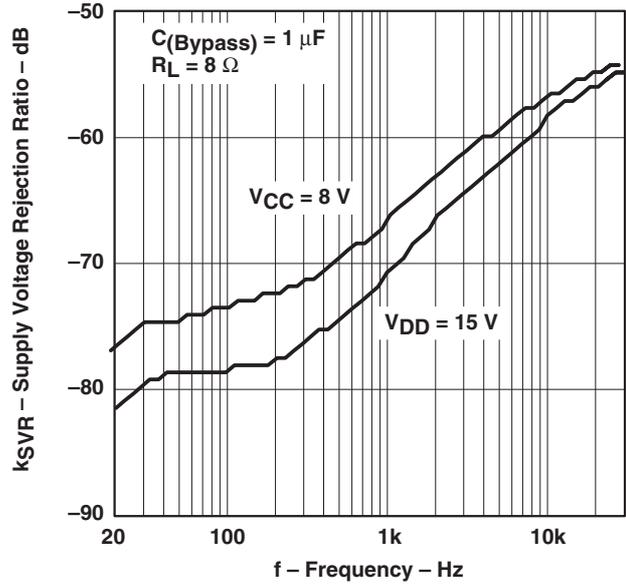


図26

GAIN and PHASE  
VS  
FREQUENCY

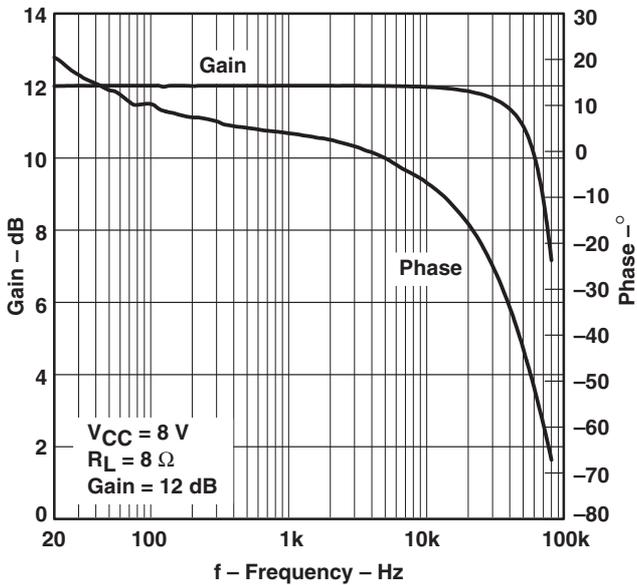


図27

COMMON-MODE REJECTION RATIO  
VS  
FREQUENCY

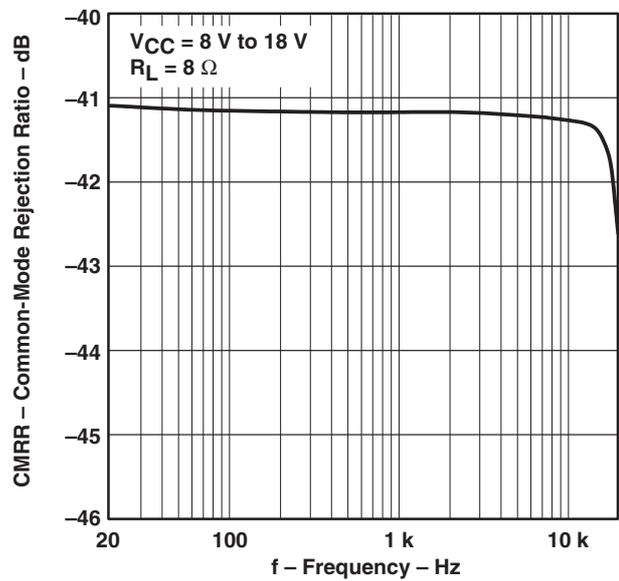


図28

# 標準的な特性

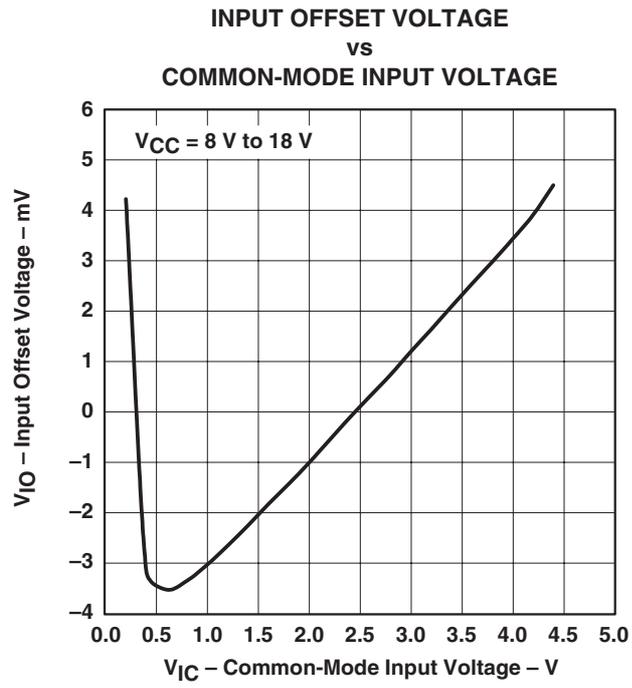


図29

# APPLICATION INFORMATION

## application circuit

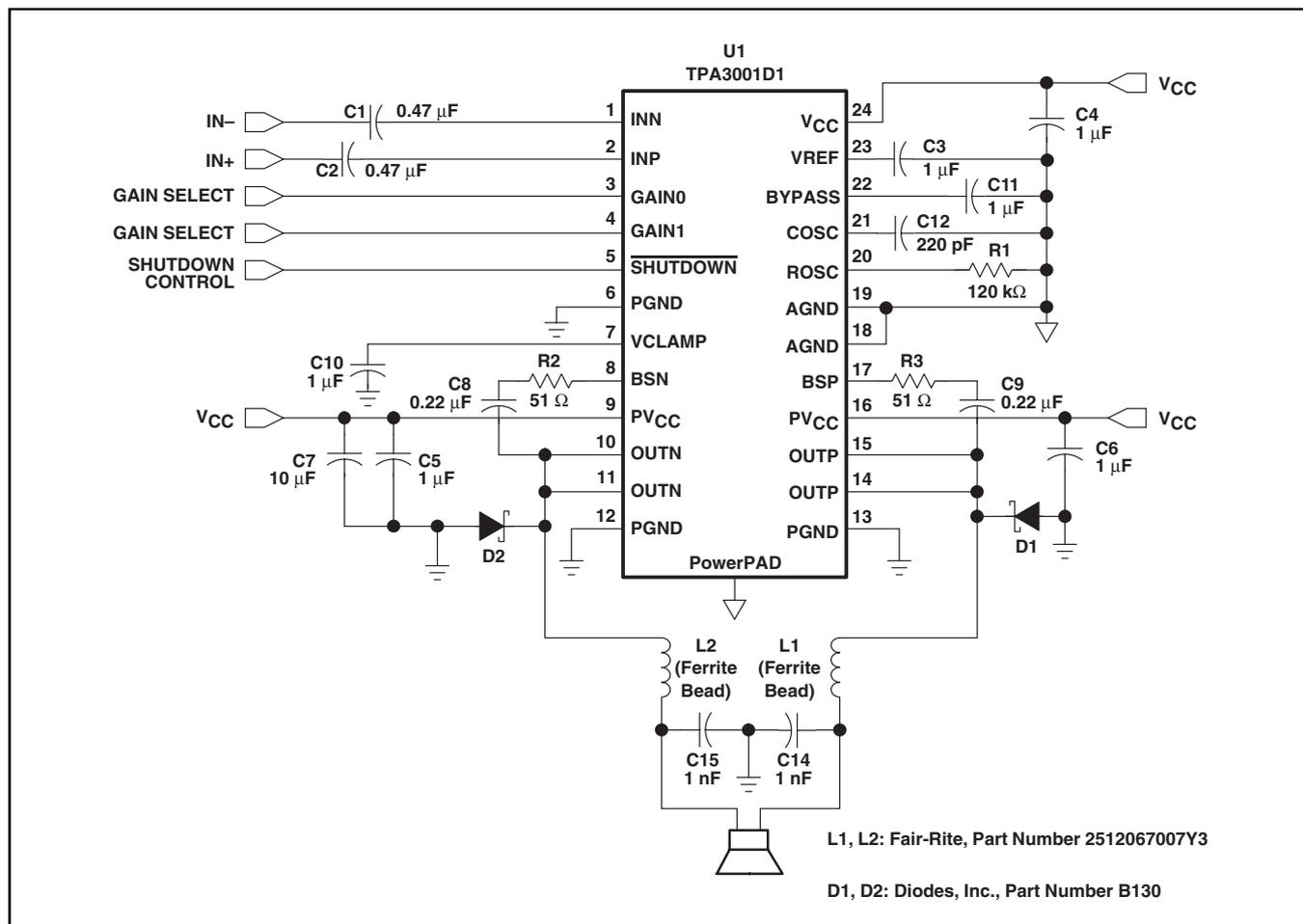


図30. 標準回路例

## D級動作

本節ではTPA3001D1のD級動作について述べます。

### 従来のD級変調手法

従来のD級変調手法は、TPA032D0xファミリーで用いられていますが、位相が互いに180°ずれた差動出力であり、グラウンドから電源電圧 $V_{CC}$ まで変化します。したがって、フィルタ前の差動出力は正負の電源電圧間で変化し、フィルタされた50%のデューティサイクルで負荷に0Vがかかります。従来のD級変調手法を図31に示します。負荷に平均で0V(50%デューティサイクル)が印加されるとは言っても、負荷電流は大きく、大きな損失を生じ、大電源電流になることに注意願います。

### TPA3001D1の変調手法

TPA3001D1でも、両出力がグラウンドから $V_{CC}$ までスイッチングする変調手法を使用しています。しかし、OUTPとOUTNは無入力時に相互に同相となります。そして、正出力電圧時のOUTPのデューティサイクルは50%以上であり、OUTN出力は50%以下になります。同様に、負出力電圧時のOUTPのデューティサイクルは50%以下であり、OUTN出力は50%以上になります。負荷にかかる電圧は大部分のスイッチング期間を通して0Vになり、スイッチング電流が激減し、負荷における $I^2R$ 損失(抵抗性の損失)を低減します(次ページの図32を参照願います)。

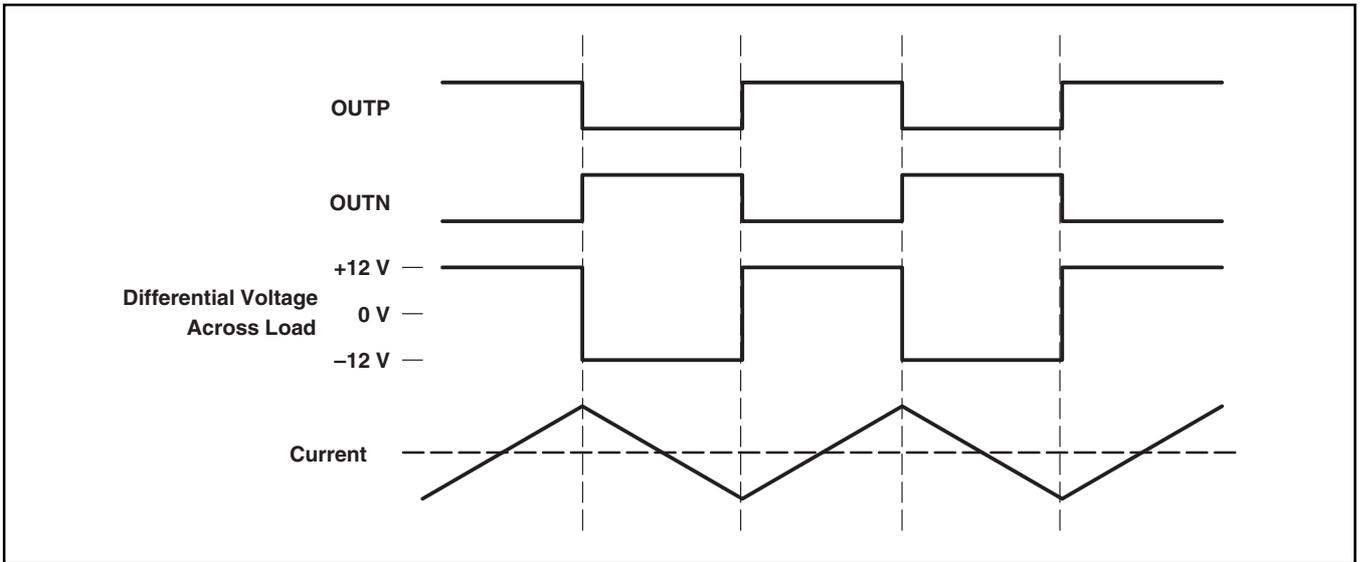


図31. 従来のD級変調手法の、誘導性負荷に対する無信号入力時の出力電圧・電流波形

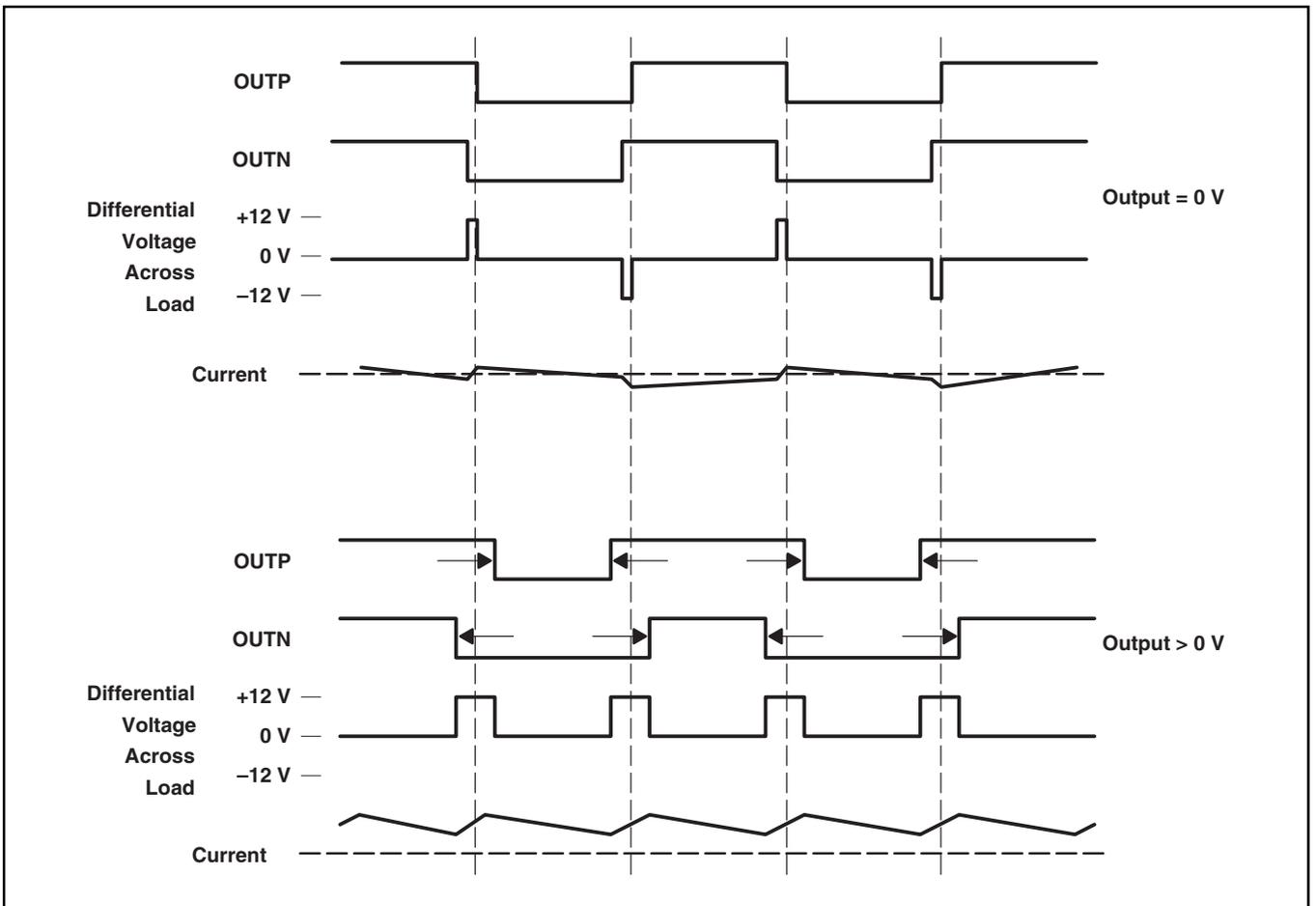


図32. TPA3001D1の誘導性負荷に対する出力電圧・電流波形

## 最大許容出力電力(安全動作領域)

TPA3001D1は、電源電圧が8Vから18Vの範囲で、3.6Ωという低い負荷インピーダンスまでドライブできます。しかし、デバイス破壊を防止するためTPA3001D1の出力電力には制限があります。図33は、最大許容出力電圧 対 負荷インピーダンスの特性を、周囲温度25°C時の3つの電源電圧について示しています(周囲温度が45°Cと60°Cについては、図3と4を参照願います)。

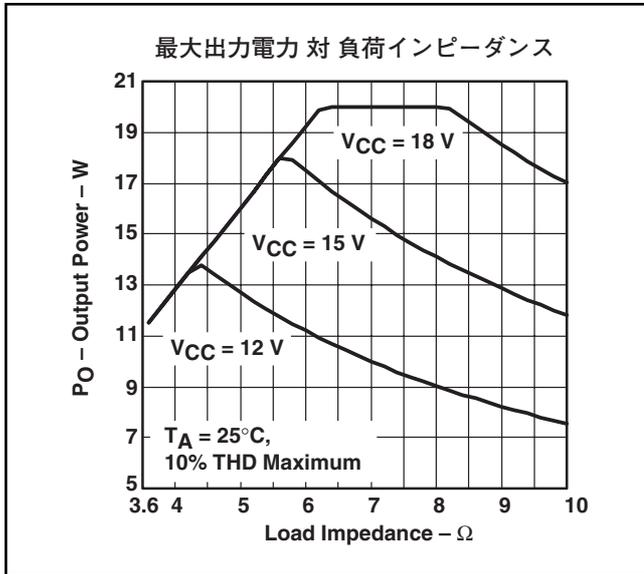


図33. 出力電力

### 高電源電圧による低インピーダンス負荷のドライブ

低インピーダンス負荷(例えば4Ωのスピーカー)をドライブする場合、オーディオ入力信号レベルの最大値を下げるか、あるいはTPA3001D1のゲインを低減することによって出力電力を制限できます。最大入力電圧は式(1)で計算されます。

$$V_{in(pp), max} = \frac{\sqrt{8P_{O(avg), max} \times R_L}}{A_v} \quad (1)$$

ここで、

$P_{O(avg), max}$  = 最大連続出力電力(W)

$R_L$  = 負荷インピーダンス(Ω)

$A_v$  = 電圧ゲイン(V/V) =  $10^{\left(\frac{G(dB)}{20}\right)}$  (GはゲインのdB値)

例として、TPA3001D1が4Ωのスピーカーを18Vの電源電圧でドライブするアプリケーションを考察します。ゲインは18dBとします。図33より4Ω負荷インピーダンスの最大許容出力電力は12.8Wになります。したがって、式(1)より入力電圧は2.54V<sub>pp</sub>を超えてはなりません。

しかし、この例においてオーディオ信号源の最大出力電圧が5V<sub>pp</sub>ならば、TPA3001D1のゲインを12dBに下げると、入力信号を制限する必要がありません。

入力電圧は種々の方法で制限できますが、オーディオ信号源に関する既知の内容によります。信号源の最大出力電圧がわかっている場合は、抵抗の分圧回路がTPA3001D1の適切なゲイン選定によって歪みを防止できます。最大オーディオ信号電圧がわからない場合は、ダイオードが入力信号をクランプするのに使用できます。ただし、入力電圧が所要のクランプ電圧を超えると歪みが発生します。

### 出力のクリッピングまでのドライブ

TPA3001D1の出力をクリッピングするまでドライブすると、歪みがない場合よりも大きな出力電力が得られます。クリッピングは一般的に10%のTHD(全高調波歪み率)で定量化されます。クリッピングまでドライブして負荷に供給できる電力の増加は、式(2)で計算できます。

$$P_{O(10\% THD)} = P_{O(1\% THD)} \times 1.25 \quad (2)$$

例として、TPA3001D1が8Ωのスピーカーを18Vの電源電圧でドライブするアプリケーションを考察します。歪み無し(1% THD)の最大出力電力は16Wであり、これは最大ピーク出力電圧が16Vに相当します。同じ出力電圧でクリッピング(10% THD)するまでドライブすると、出力電力は20Wに増加します。

### 出力フィルタに関する考察

FCCやCEの電磁輻射仕様を満たすために、フェライトビーズのフィルタ(図34に示す)を使用する必要があります。また、1MHz以上で動作する周波数に敏感な回路が近くにある場合も同様です。フェライト・フィルタは1MHz 付近およびそれ以上のEMI(電磁輻射、電磁干渉)を低減します(FCCとCEは30MHz以上の電磁輻射をテストするだけです)。フェライトビーズの選定の際には、高周波時には高インピーダンスであるが、低周波時には非常に低インピーダンスのものにします。

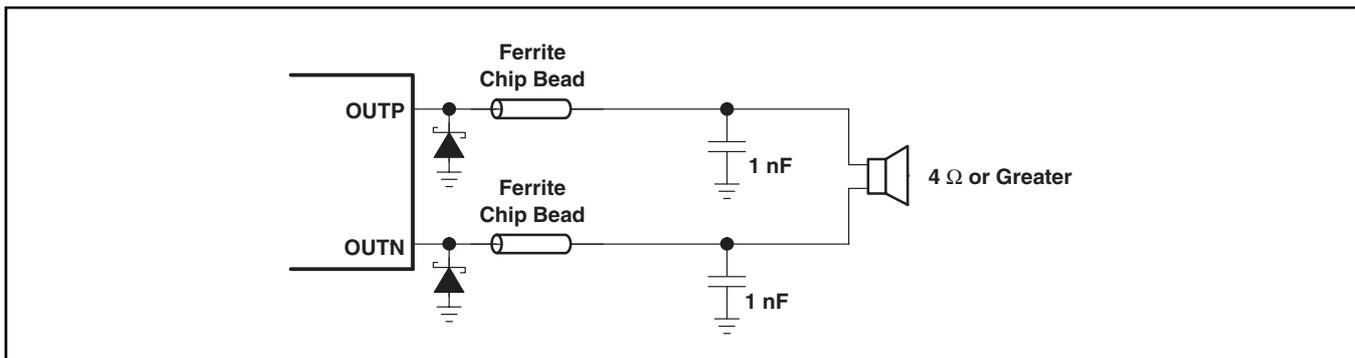


図34. 代表的なフェライトチップビーズのフィルタ(チップビーズ例: Panasonic EXCML32A680U)

低周波(< 1MHz) EMIに敏感な回路がある場合や、長い配線(11インチ以上)がアンプとスピーカーの間にある場合は、図35と36のようにさらにLC出力フィルタを使用します。

スピーカーまでの伝送路がシールドされている場合や、FCCやCEの規定が無いアプリケーションの場合はこの限りではありません。

### 出力短絡保護回路

TPA3001D1は出力に短絡保護回路があり、両出力間の短絡、出力とGNDの短絡、および出力とV<sub>CC</sub>の短絡時にデバイスの破壊を防止します。出力短絡を検知すると、デバイスは即座に出力ドライブをディスエーブルにし、シャットダウン・モードに入ります。これはラッチされた不良状態であり、リセットはSHUTDOWNピンの電圧をロジックのローレベルから、正常動作時のロジックのハイレベルに変えてリセットする必要があります。このようにすると短絡のフラグがクリアされ、短絡状態が除去されていれば正常動作が可能になります。短絡状態が除去されていない場合は、保護回路が再度アクティブになります。

また、2個のショットキー・ダイオードが短絡保護に必要です。このダイオードはTPA3001D1にできるだけ近く配置し、アプリケーション回路図に示すように、アノードをPGNDに、カソードをOUTPおよびOUTNに接続します。このダイオードの定格は、1Aの最小出力電流時の順方向電圧が0.5V、およびDC耐圧が最小値30Vのものにします。さらに、150°Cの接合温度で動作する定格でなければなりません。推奨例としてはDiodes Inc.社製のB130やIRF社製のSTPS1L30Uが挙げられます。

短絡保護回路が不要な場合は、このショットキー・ダイオードは省略できます。

### 熱保護回路

TPA3001D1の熱保護回路は、内部のチップ温度が150°Cを超えたときにデバイスの破壊を防止します。この作動温度はデバイスによって±15°Cの許容誤差があります。ひとたびチップ温度が熱保護の作動温度を超えると、デバイスはシャットダウン状態に入り、出力がディスエーブルになります。この不良状態はラッチされていません。したがって、ひとたびチップ温度が作動温度から15°Cだけ下回ると、この熱的不良状態はクリアされます。この時点でデバイスは、外部システムからの介入なしで正常動作を開始します。

### 熱的考察：出力電力と最大許容周囲温度

最大許容周囲温度の計算には次式(3)が使えます。

$$T_{Amax} = T_{Jmax} - \Theta_{JA} P_{Dissipated} \quad (3)$$

ここで、 $T_{Jmax} = 150^{\circ}\text{C}$

$\Theta_{JA} = 1 / \text{ディレーティング係数} = 1 / 0.03333 = 30^{\circ}\text{C/W}$   
(24ピンPWPパッケージのディレーティング係数は、電力消費定格表にあります。)

電力消費の見積もりには、次式(4)が使えます。

$$P_{Dissipated} = P_{O(average)} \times ((1 / \text{効率}) - 1) \quad (4)$$

効率 = ~85% (8Ω負荷時)  
= ~75% (4Ω負荷時)

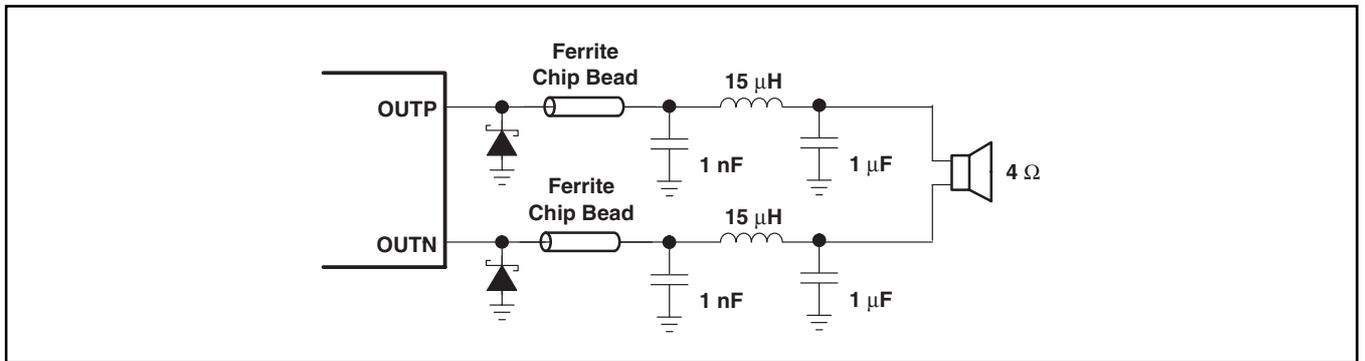


図35. 4Ωスピーカー用の代表的なLC出力フィルタ カットオフ周波数41kHz

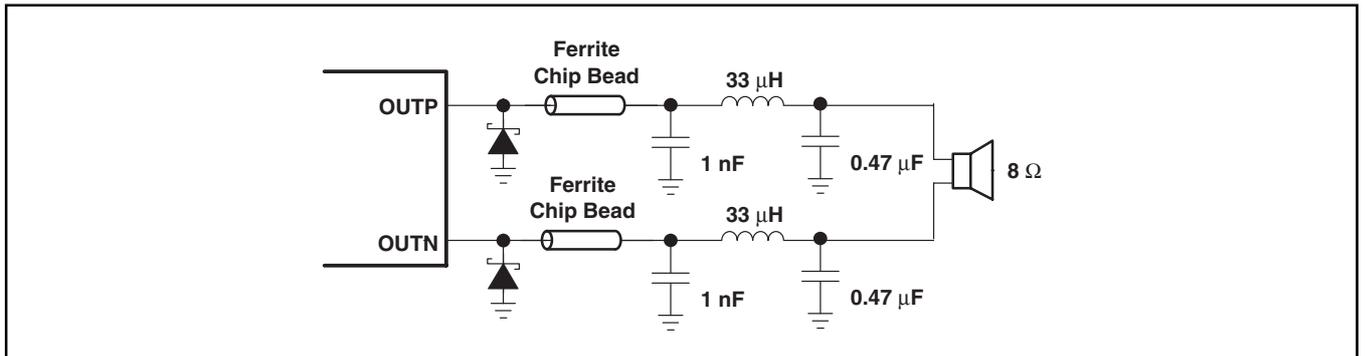


図36. 8Ωスピーカー用の代表的なLC出力フィルタ カットオフ周波数41kHz

例題：TPA3001D1が8Ωのスピーカーを10Wでドライブするアプリケーションにおいて、最大許容周囲温度は何度であるか？

$$P_{\text{Dissipated}} = 10 \text{ W} \times ((1 / 0.85) - 1) = 1.76 \text{ W}$$

$$T_{A \text{ max}} = 150^{\circ}\text{C} - (30^{\circ}\text{C}/\text{W} \times 1.76 \text{ W}) = 97.2^{\circ}\text{C}$$

この計算により、周囲温度が決して超えてはならない絶対最大定格の85°Cまで、TPA3001D1は8Ωのスピーカーを10Wドライブできることがわかります。また、図2, 3および4を参照すると、所要の出力電力に対する最小負荷インピーダンスが求められます。

## GAIN0とGAIN1入力によるゲイン設定

TPA3001D1のゲインは、GAIN0とGAIN1の2入力ピンによって設定されます。表1に記載されるゲインは、アンプ内部の抵抗の入力タップを切り替えて得られます。これは、入力インピーダンス( $Z_i$ )がゲイン設定に依存する原因になります。実際のゲイン設定は抵抗比で制御されるため、デバイスごとのゲインのバラツキは小さいものになります。しかし、入力インピーダンスは入力抵抗の実抵抗値のシフトによるため、最大で30%変動します。

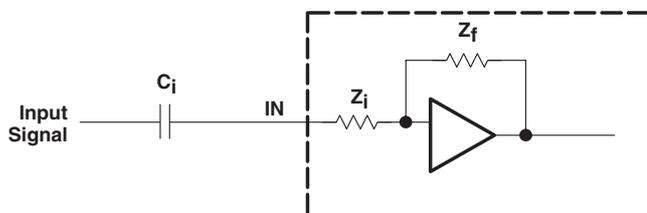
設計においては、入力インピーダンスが23kΩと仮定して入力回路網(次節で述べる)を設計します。この23kΩは、TPA3001D1の入力インピーダンスの絶対的な最小値です。低いゲインの設定では、入力インピーダンスは313kΩまで高くなります。

GAIN1	GAIN0	AMPLIFIER GAIN (dB)	INPUT IMPEDANCE (kΩ)
		TYP	TYP
0	0	12	241
0	1	18	168
1	0	23.6	104
1	1	36	33

表1. ゲイン設定

## 入力抵抗

各ゲイン設定はアンプの入力抵抗を変えて行います。入力抵抗は最小値からその6倍以上まで変えられます。その結果、入力ハイパスフィルタに1個のコンデンサを使用すると、-3dBすなわちカットオフ周波数も6倍以上変化します。



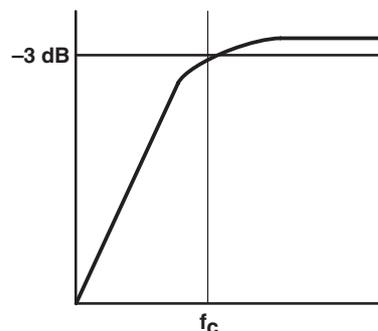
-3dB周波数は式(5)で計算できます。 $Z_i$ の値は表1を使用願います。

$$f = \frac{1}{2\pi Z_i C_i} \quad (5)$$

## 入力コンデンサ $C_i$

一般的なアプリケーションでは、アンプの入力信号に最適動作のための適切な直流バイアスをかけられるように、入力コンデンサ( $C_i$ )が必要になります。その場合、 $C_i$ とアンプの入力インピーダンス( $Z_i$ )はハイパスフィルタを形成し、そのコーナー周波数(カットオフ周波数)は式(6)で決まります。

$$f_c = \frac{1}{2\pi Z_i C_i} \quad (6)$$



$C_i$ の値は重要であり、回路のパス(低周波)特性に直接影響します。例として、 $Z_i$ が241kΩで、20Hzまでフラットなパス特性を必要とする仕様について考察します。式(6)を式(7)のように書き換えます。

$$C_i = \frac{1}{2\pi Z_i f_c} \quad (7)$$

式(7)より、この例では $C_i$ は33nFとなり、一般的に使用される値の0.1μFのコンデンサを選ぶことになります。ゲインが既知であり一定である場合は、表1の $Z_i$ を用いて $C_i$ を計算します。このコンデンサに関するさらなる考察として、入力信号源から入力回路網( $C_i$ )と帰還回路網を通る負荷までの漏れ電流パスがあります。この漏れ電流はアンプの入力に直流オフセット電圧を生じ、使用可能な出力範囲を低減させ、高ゲインのアプリケーションで特に問題になります。このような理由で、低リークのタンタルあるいはセラミックのコンデンサが最善の選択になります。極性のあるコンデンサを使用する場合、ほとんどのアプリケーションにおいてコンデンサの+側をアンプ入力に接続します。その理由は、アンプ入力のDCレベルが一般の入力信号源のDCレベルよりも高い2.5Vに固定されているからです。アプリケーションにおいて、コンデンサの極性の確認が重要なことにご注意願います。

## 電源デカップリング

TPA3001D1は高性能なCMOSオーディオアンプであり、出力の全高調波歪み(THD)をできるだけ低くするために、適当な電源のデカップリングが必要です。また、電源デカップリングは、アンプとスピーカー間の配線が長い場合の発振を防止します。最適なデカップリングは、電源配線上の異なる種類の雑音に対応した、異なる2タイプのコンデンサを使用して実現します。配線上の高周波の遷移、スパイク、あるいはデジタルノイズには、かなり低い等価直列抵抗(ESR)のセラミック・コンデンサを、一般に1μFでデバイスの $V_{CC}$ ピンの極力近くに配置するのが最適です。低周波の雑音信号をフィルタするには、より大きい10μFかそれ以上のアルミ電解コンデンサを、オーディオ・パワーアンプの近くに配置することを推奨します。

## BSNとBSP用コンデンサ

フルH型ブリッジ出力段はNMOSトランジスタのみを使用します。したがって、適切なターン・オンのために、各出力のハイサイドでブートストラップ用コンデンサが必要になります。少なくとも25V定格の0.22μFのセラミック・コンデンサを、各出力とそれに相当する各ブートストラップ入力間に接続する必要があります。具体的には、1個の0.22μFコンデンサをOUTPとBSP間に、1個の0.22μFコンデンサをOUTNとBSN間に接続します(図30参照)。

## BSNとBSP用抵抗

ブートストラップ用コンデンサを充電するときの電流を制限するために、約50Ω(最大±10%)の抵抗をブートストラップ用コンデンサと直列に配置する必要があります。この場合、充電電流は500μA以下に制限されます。

## VCLAMP用コンデンサ

NMOS出力トランジスタのゲート・ソース間電圧が許容最大値を超えないよう保証するため、内部レギュレータがゲート電圧をクランプします。そこで、最小でも25V定格の1μFのコンデンサをVCLAMP(7ピン)とグランド間に接続する必要があります。VCLAMP(7ピン)の電圧はV<sub>CC</sub>とともに変化し、その電圧を他の回路へ供給できません。

## ミッドレール・バイパス用コンデンサ

ミッドレール(PとNの中間レベル)・バイパス用コンデンサ(図30のC11)は最も重要なコンデンサであり、いくつかの重要な機能に関与します。まず、スタートアップあるいはシャットダウンからの復旧の間、C<sub>BYPASS</sub>はアンプが動作を開始するレートを決定します。2番目の機能は、出力ドライブ信号との結合に起因する電源上の雑音を低減します。この雑音はミッドレール発生回路から内部的にアンプに伝わり、PSRRおよびTHD+Nの劣化として現れます。

バイパス用コンデンサ(C11)には0.47μFから1μFの値の、セラミックあるいはタンタルの低ESRコンデンサを最適のTHDノイズのために推奨します。このバイパス用コンデンサの値は、ボツ音(電源投入時などに発生する雑音)低減回路の特性を最適化するため、入力コンデンサよりも大きい定数にしなければなりません。

## VREFデカップリング用コンデンサ

VREFピン(23ピン)は内部で発生する5V電源の出力であり、発振回路やゲイン設定ロジックに使用します。この内部レギュレータを安定化するために、このピンとグランド間に0.1μFから1μFのコンデンサが必要です。レギュレータ出力は他の回路の電源として使用できません。

## 差動入力

アンプの差動入力段は、チャンネルの両入力ラインに現れるあらゆる雑音を打ち消します。TPA3001D1を差動信号源とともに使用する場合、オーディオ信号源の正側配線をINP入力に接続し、同様にオーディオ信号源からの負側配線をINN入力に接続しま

す。TPA3001D1をシングルエンドの信号源とともに使用する場合、INN入力をコンデンサでAC的に接地して、オーディオ信号をINP入力に接続します。シングルエンド入力アプリケーションでは、最適な雑音特性を得るために、INN入力をデバイスの入力側でなく、オーディオ信号源側でAC的に接地します。

## スイッチング周波数

スイッチング周波数は、R<sub>OSC</sub>(20ピン)とC<sub>OSC</sub>(21ピン)に接続する部品の値で決まり、次式(8)で計算されます。

$$f_s = \frac{6.6}{R_{OSC} C_{OSC}} \quad (8)$$

発振周波数はR<sub>OSC</sub>とC<sub>OSC</sub>の値を調整して、225kHzから275kHzまで変えられます。推奨値はR<sub>OSC</sub>が120kΩ、C<sub>OSC</sub>が220pFになります。

## SHUTDOWN動作

TPA3001D1はデバイス動作のシャットダウン・モードを内蔵し、バッテリー電源の節約のために非使用時の電源電流(I<sub>CC</sub>)を絶対的に微小にする設計をしています。SHUTDOWN入力ピンは、アンプを使用している正常動作時はハイレベルに保ちます。SHUTDOWNをローレベルにすると、出力を抑え、アンプを低電流状態すなわちI<sub>CC(SD)</sub> = 1μAにします。また、アンプの動作が不定になるため、SHUTDOWNは決して未接続にはなりません。

理想的には、システムの電源立ち上がり時にデバイスをシャットダウン状態に維持し、ひとたびデジタル回路が確定したらシャットダウン状態から抜け出させます。しかし、SHUTDOWNを使用しないのであれば、このピンを直接V<sub>CC</sub>に接続しておきます。このような設計により、電源投入時のボツ音をより低減させることも可能になります。

## 低ESRコンデンサの使用

低ESRコンデンサを本節のアプリケーション全体で推奨します。実際のコンデンサは(理想に反して)、理想コンデンサとそれに直列な抵抗の単なるモデルにできます。この抵抗にかかる電圧降下は、回路におけるコンデンサの効果を小さくします。この抵抗の等価値が低いほど、実際のコンデンサは理想コンデンサに近い動作をします。

## プリント基板(PCB)のレイアウト

TPA3001D1は高周波でスイッチングするD級アンプなので、そのプリント基板(PCB)のレイアウトを下記のガイドラインに従って最適化し、最善の特性を得る必要があります。

### ● デカップリング・コンデンサ

高周波用の0.1μFのデカップリング・コンデンサをPV<sub>CC</sub>ピン(9ピンと16ピン)とV<sub>CC</sub>ピン(24ピン)にできるだけ近く配置します。BYPASS(22ピン)用コンデンサ、VREF(23ピン)用コンデンサ、およびVCLAMP(7ピン)用コンデンサもまた、極力デバイスの近くに配置します。電源用の大きな(10μF、あるいはそれ以上)デカップリング・コンデンサはTPA3001D1の近くに配置します。

- グランドのとりかた

V<sub>CC</sub>(24ピン)デカップリング・コンデンサ、VREF(23ピン)コンデンサ、BYPASS(22ピン)コンデンサ、COSC(21ピン)コンデンサ、およびROSC(20ピン)抵抗は、それぞれアナログ・グランド(AGND, 18ピンと19ピン)に接地します。PV<sub>CC</sub>(9ピンと16ピン)デカップリング・コンデンサは、パワー・グランド(PGND, 12ピンと13ピン)に接地します。アナログ・グランドとパワー・グランドは、パワーパッドで互いに接続できます。パワーパッドはTPA3001D1のグランド接続の中心すなわち星型グランド(1点アース)として使用できます。

- 出力フィルタ

フェライト・フィルタ(図34)は出力ピン(10, 11, 14,および15の各ピン)にできるだけ近く配置し、最善のEMI特性を得るようにします。LCフィルタ(図34と図35)は、フェライト・フィルタの近くに配置します。フェライトとLCの両フィルタに使用するコンデンサは、それぞれパワー・グランドに接地します。

- パワーパッド

パワーパッドはPCBに半田付けして、適当な熱特性と最適な信頼性を得るようにします。パワーパッドのサーマル・ランドの寸法は、1.6mm×6.0mmで、パッケージに対してセンタリングされています。また、2列のヴィア(1列あたり4個のヴィア、直径が0.3302mm)を等間隔でサーマル・ランドの下に設けます。各ヴィアは、プリント基板の中間層や半田面(最下層)のしっかりした銅プレーンに接続する必要があります。また、各ヴィアは頑丈である必要があり、熱で浮き上がるヴィアであってはなりません。より詳細な情報は、「パワーパッド(PowerPAD) 熱的に強化されたパッケージのアプリケーション・ノート(TI文献番号 SLMA002)」を参照願います。

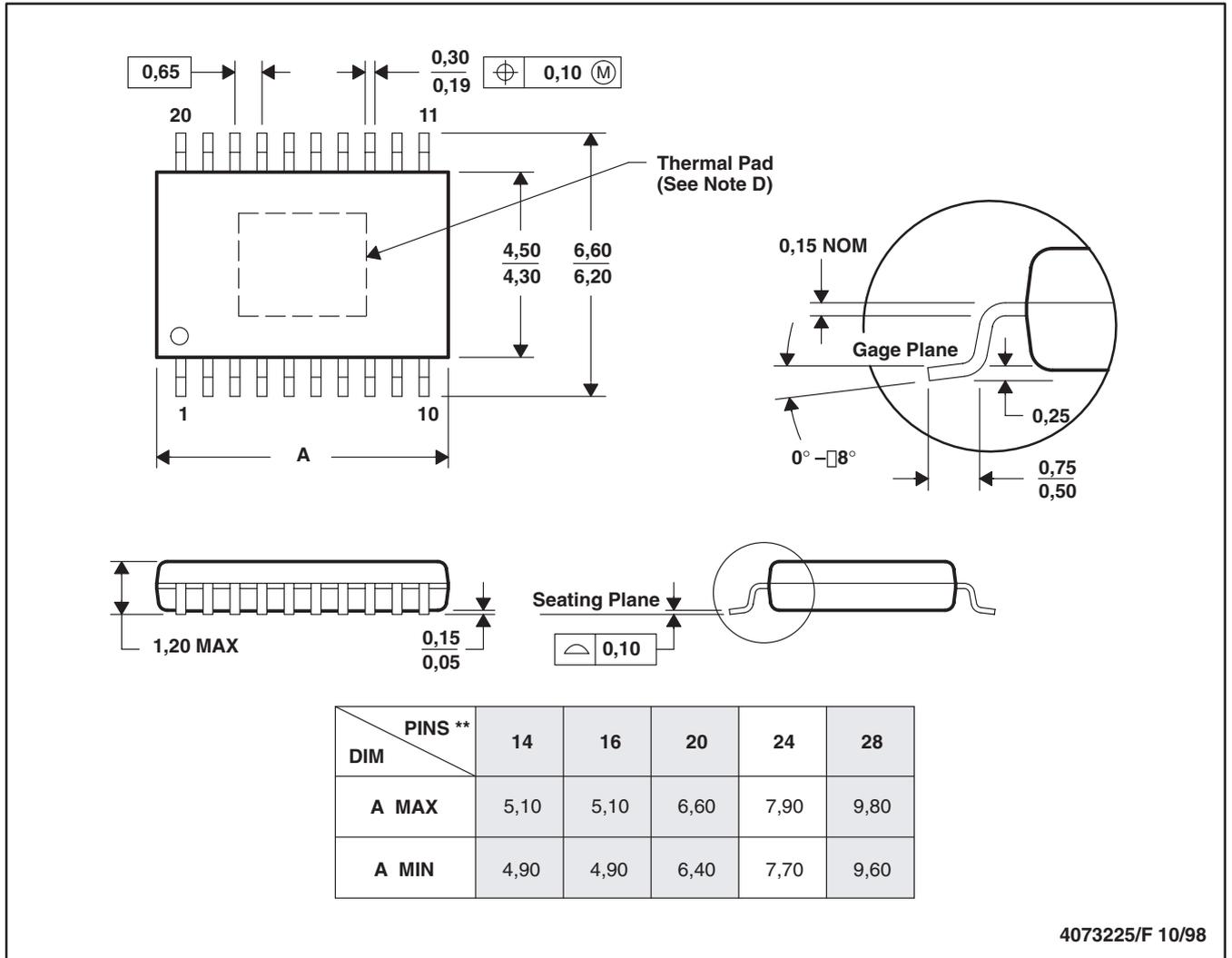
レイアウト例として、「TPA3001D1評価用モジュール(TPA3001D1EVM)ユーザー・マニュアル(TI文献番号SLOU156)」を参照願います。EVMユーザー・マニュアルとPowerPADアプリケーション・ノートは、両方ともTIウェブサイトの<http://www.ti.com>で入手できます。

外觀

PWP (R-PDSO-G\*\*)

20 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE



- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Body dimensions do not include mold flash or protrusions.  
 D. The package thermal performance may be enhanced by bonding the thermal pad to an external thermal plane. This pad is electrically and thermally connected to the backside of the die and possibly selected leads.  
 E. Falls within JEDEC MO-153

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上